

(51) Int.Cl.
H 01 J 1/304
1/30
9/02

識別記号

F I
H 01 J 1/30
9/02
1/30

ナ-ミ- (参考)
F 5 C 0 3 6
B
A

審査請求 未請求 求求項の数9 O.L (全15頁)

(21)出願番号

特願平11-69285

(22)出願日

平成11年3月15日 (1999.3.15)

(71)出願人

000003078
株式会社東芝
神奈川県川崎市幸区堀川町72番地
(72)発明者 山木正彦
神奈川県横浜市磯子区新磯子町33 株式会社東芝生産技術研究所内

(73)発明者 福田由美

神奈川県横浜市磯子区新磯子町33 株式会社東芝生産技術研究所内

(74)代理人 100064285

弁理士 佐藤一雄 (外3名)

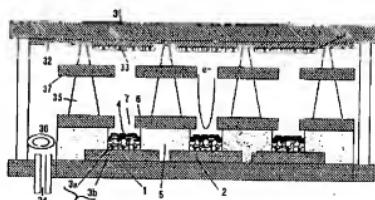
最終頁に続く

(54)【発明の名称】電子放出来素子、その製造方法ならびに表示素子およびその製造方法

(57)【要約】(修正有)

【課題】微粒子エミッタを用いた電子放出素子で、大面積に多数の素子を作成した時に、電子放出量のむらを抑制出来る電子放出素子により、低電圧駆動が可能で、長寿命、高精細化が容易な大面積均一な表示素子の提供。

【解決手段】基板1と、この基板上に設けられたカソード配線層2と、ゲート配線層6と、前記カソード配線層と前記ゲート配線層とを電気的に絶縁する絶縁層5とを有し、前記ゲート配線層および前記絶縁層とを貫いた貫通孔内に抵抗層3およびエミッタ層4が形成された電子放出素子であって、前記抵抗層が絶縁性微粒子3aからなる母材中に導電性微粒子3bが分散した構造を有するものであり、かつ、前記エミッタ層が微粒子材料によって形成されたものであることを特徴とする、電子放出素子。カソード電極ラインとエミッタ層と絶縁層と、ゲート電極ラインとが順に形成された第一の基板上の絶縁層がフッ素を含有する二酸化珪素膜よりなることを特徴とする、表示素子。



【特許請求の範囲】

【請求項1】基板と、この基板上に設けられたカソード配線層と、ゲート配線層と、前記カソード配線層と前記ゲート配線層とを電気的に絶縁する絶縁層とを有し、前記ゲート配線層および前記絶縁層とを貫いた貫通孔内に抵抗層およびエミッタ層が形成された電子放出素子であって、前記抵抗層が絶縁性微粒子からなる母材に導電性微粒子が分散した構造を有するものであり、かつ、前記エミッタ層が微粒子材料によって形成されたものであることを特徴とする、電子放出素子。

【請求項2】前記抵抗層を形成する絶縁性微粒子、導電性微粒子およびエミッタ層を形成する微粒子のうち少なくとも一つに金属塗層が付着したものである、請求項1記載の電子放出素子。

【請求項3】請求項1の電子放出素子を製造するに際し、抵抗層またはエミッタ層を電気泳動法によって形成することを含む、電子放出素子の製造方法。

【請求項4】基板上にカソード配線層を形成する工程と、絶縁膜を形成する工程と、ゲート配線層を形成する工程と、抵抗層およびエミッタ層を電気泳動法によって形成する工程とを含む、請求項3に記載の電子放出素子の製造方法。

【請求項5】請求項1の電子放出素子を製造するに際し、カソード配線層に電圧を印加することによって抵抗層を設け、その後、ゲート配線層に逆の電圧を印加することを含む、電子放出素子の製造方法。

【請求項6】請求項1の電子放出素子を製造するに際し、カソード配線層に電圧を印加しつつそれよりも大きい電圧をゲート配線層に印加して抵抗層を設けることを含む、電子放出素子の製造方法。

【請求項7】カソード電極ラインとエミッタ層と絶縁層と、前記カソード電極ラインに交差するゲート電極ラインとが順に形成された第一の基板と、前記第一の基板に真空室を介して離間および対向して配置された、アノード配線層と螢光体層とから形成された第二の基板とを有する表示素子であって、前記第一の基板上の絶縁層がフッ素を含有する SiO_2 膜よりなることを特徴とする、表示素子。

【請求項8】請求項7の表示素子を製造するに際し、絶縁層を、フッ素を含有する SiO_2 膜を液相成長することによって形成する、表示素子の製造方法。

【請求項9】エミッタ層が、表面に界面活性剤がコートされた微粒子の集合体によって構成されている、請求項7に記載の表示素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電子放出装置およびその製造方法ならびに表示素子およびその製造方法に関するものである。このような本発明は、画像表示装置あるいは電子線露光装置などに適用することができる

ものである。

【0002】

【從来の技術】金属または半導体の表面に $10 \times 10 \mu\text{m}^2$ 程度の高電界を印加することによって、金属中のフェルミエネルギー近傍の電子や、半導体の伝導電子バンドに励起された電子の真空準位へのトンネルがおこり、真空中への電子放出がなされる（ただし、半導体の場合、荷電子バンド、あるいは不純物準位・欠陥準位や、表面・界面準位など、バンド間に存在する準位の電子が放出される場合もある）現象は、電界放出と呼ばれている。

【0003】電界放出型の冷陰極では、熱陰極に比べて、単位面積あたりの放出電子量を大きくとれることが特徴である。熱陰極において電子放出量は $1 \text{ 平方センチメートルあたり } 10^{-10} \text{ アンペア程度までが限界であるのにに対し、1 平方センチメートルあたり } 10^{-7} \text{ の } 10 \text{ 乗から } 9 \text{ 乗アンペア程度の電子放出量が可能である。このため、電界放出型冷陰極の利用は、真空電子素子の微小化の上で特に有用である。}$

【0004】冷陰極を用いて微小化された真空素子（真空マイクロ素子）の実際の例としては、1961年にShoendersによって $0.1 \text{ ミクロンサイズの素子の作製方法とこれを用いた微小な電界放出型 2 極管の作製(Adv.Comput.2(1961)135参照)$ について報告がなされている。また、1968年にはSpindtらにより、薄膜技術を用いたミクロンサイズのゲート付き冷陰極（3極管）を多数基板上に配置した構造（アレイ）の作製(J.Appl.Phys.39(1968)3504参照)の報告がなされ、以降当該分野において、多数の報告が続いている。

【0005】真空マイクロ素子の構造には様々な種類が考案されているが、Spindtらのものは、鋸の先端をもつミクロンサイズの鋸状のエミッタの先端部への電界集中を、近傍に設けた引き出し電極（ゲート）によって制御しながら起させ、電子の電界放出をさせるものである。このようなSpindt型の素子は、エミッタの直上に開口部を有するゲートを設けており、エミッタ上方に設置されたアノードに向かって放出される電子の放出量がゲート=エミッタ間の印加電圧により制御可能な構造である。他にも類似の構造を持つ素子の例として Si の異方性エッチングを用いた方法（グレイ法）や、鍛型を用いたモールド法などの方法で作製された例が多数報告されている。これらの構造の從来の電子放出素子に共通する特徴は、曲率半径が数ナノメートル程度の極めて先鋒なエミッタ先端部をゲート開口の中心部に設置することにより、ゲート=エミッタ間の電位差によって生じる電界が鋸く尖ったエミッタ先端による電界集中の効果により、 1000×1000 倍程度に増幅されることを用いて、エミッタ先端近傍に $10^{-7} \text{ } \mu\text{A} [\text{V}/\text{cm}]$ 程度の電界を発生させ、電界放出によって真空中に電子を取り出すことを可能にしている。

【0006】ゲートの開口径は、ミクロンからサブミクロンオーダーであるため、実際に素子を作製する上では、微小な開口径の中にゲートと錐体のエミッタを設置する作業が要求される。このような精密な位置合わせをリソグラフィーで行なうことは、技術的にもコスト的にも困難であるため、セルファライイン形成を利用することによって、この困難を回避し、両者の位置合わせを実現している。しかし、逆に特殊な製法を用いることによって生じてくる制約も多い。

【0007】例えばスピント法では、ゲート開口を設けた上で、斜め蒸着によって剥離層をゲート内部に着脱しないようにしながらゲート上面に成膜し、続いて垂直方向からエミッタ材料を蒸着するが、このときにゲート開口部の縁に付したエミッタ材料(後に剥離層を除去することによって取り除かれる)によってゲート径が徐々に窄まる効果を用いて、ゲート内に錐体形のエミッタが形成される仕組みになっている。しかし、J.Vac.Sci.Techol.B13(1995)487に報告されているように、M₀を用いた場合は理想的な(底面の径:高さ)の比(アスペクト比)をもつ錐体を作ることができないが、T₁やZ₂ではできない。つまり、単に電界放出特性に直接影響を与える材料の物理値のみでなく、蒸着時に形状の良い錐体を作れるというように、素子の形状を作製する都合の面からも、エミッタに使用できる材料の選択肢が実質的にM₀に限定されている。同様にグレイ法では材料がS₁に限定されているが、これらの方法では、プロセスや材料の見直しによってコストを下げることへの柔軟度が極めて低い。

【0008】エミッタに用いることのできる材料の幅を広くするためには、製造プロセスに起因する制約を緩和することが必要になってくるが、その手段として以下のような方法がある。すなわち、ゲートの中心部に单一の放出点を持つエミッタを設置することをせずに、ゲート開口部の中に複数の放出点を設けることによって、ゲートとエミッタの間の位置合わせを不要にするアプローチである。実際、このようなアプローチを取った場合においても、ゲートに回収される無効電流は増加するものの、電子放出量が著しく損なわれることはない。これは、エミッタ先端での電界強度は、エミッタ先端の先鋒度と、ゲート=エミッタ先端の距離に依存するが、エミッタ先端の先鋒度に対する依存が大きいためであり、電子放出素子のアレイを大面積にわたって形成することが、技術的・コスト的に容易になる。

【0009】そして、このようなアプローチには、2つの種類がある。1つは、複数の電界集中構造を設ける方法であり、特開平8-329823公報に開示されているよう、ゲート開口部内に無数のペーカ型タンゲステンの柱状結晶を成長させることによって、夫々の結晶の先鋒部から電子が放出される構造を用いるものである。

【0010】もう1つは、仕事関数、あるいは半導体に

おける電子親和力(金属の場合の仕事関数に対応)の小さい物質を用いることによって、明確な先鋒部を持たない膜からの電子放出を可能にする方法である。これは、仕事関数や電子親和力が小さいほど電界放出は起こりやすいからである。このような膜に用いることのできる物質として、特に優れた特性を持っているのが、バンドギャップ幅から電子ボルトを超える半導体であるダイヤモンド、立方晶や六方晶の窒化硼素、窒化アルミニウム、弗化リチウム、弗化カルシウムなどの電子親和力のきわめて低い物質群である。

【0011】これらの物質では、伝導バンドの底が、真空中の電子のエネルギー状態である真空準位よりは低いものの、0.1~0.5電子ボルト以内でほとんど等しいか、結晶面方位によっては高くなっていることが確認・示唆されており、(例えばJ.Vac.Sci.Techol.B13(1997)1733を参照)負電子親和力(NEA)物質や、擬似電子親和力物質とよばれている。

【0012】これらの物質のもつ負電子親和力(NEA)という性質を用いた場合、電子は、真空との界面での強い電界を必要とせずに真空中へ放出されるという魅力的な性質を持つ。このことは、特にドーピングや、欠陥・水素終端などによる伝導経路を、材料の表面やパルク内に形成し、伝導バンドに電子を注入することで、もたらされる。

【0013】また、パルク内や表面に形成された導電性の微細構造からの電界電子放出が起こることを示唆する実験結果も発表されている(例えばScience 282(1998)1471参照)が、この場合NEAを利用した電子放出とは異なり、必ずしも伝導バンドからの電子放出は起こらずに、バンド間に存在する欠陥などによる局在順位や、荷電子バンドからの電子放出が起こることになり、必ずしも電子親和力の小ささを積極的に利用したメカニズムで電子放出をさせるものではない可能性がある。

【0014】しかし、これらの物質の多くは、その特徴として、表面における化学的安定性や、熱伝導性において優れた特性を併せ持つため、M₀などの金属表面からの電界放出に比べ、電界放出特性が、表面状態の変化の影響を受けにくく、より安定であり、エミッタ材料として魅力的な物質であることには変わりない。

【0015】金属材料の突起構造を用いた電子放出素子は、その特性が、一般に表面状態に非常に敏感なため、通常10のマイナス7乗トール以下の環境でないと安定に動作しないのに対し、ダイヤモンドや、窒化硼素を用いた電子放出素子は、10のマイナス5乗トール程度の低真空においても安定に動作することが示唆されている(例えばJ.Vac.Sci.Techol.B16(1998)1207を参照)。

【0016】これらのNEA物質・擬NEA物質(以降まとめてNEA物質と呼ぶ)を用いた電子放出素子を作製するためには、真空蒸着を用いて成膜を行なう方法と、NEA物質の微粒子を用いる方法の2つがある。代

表的なN.E.A.物質であるダイヤモンドや、立方晶子空化
剛柔の真空蒸着法としては、アラズマCVD法、熱フィ
ラメントCVD法、フィルタードカソードアーカ法、レ
ーザー・アブレーション法などによる例が多数報告されて
いる。

【0017】これらの方によって作製された膜は、多
結晶の様態を示しているが、結晶粒の局所的な均一性に
おいて比較的優れた膜を成膜することが可能である。反
面、大型の電子起飛型フラットパネルディスプレー（F
ED）に用いる電子源としての応用を考えたときに、作
製できる膜の大きさが装置の大きさで限定されるため、
大型の装置が必要となり、生産コストを押し上げる要因
となっている。

【0018】また、ダイヤモンドなどの蒸着膜は、膜内
応力が大きいため、成膜後に割離が起きやすいという難
点もあり、実用上の問題となっている。

【0019】これらの問題は、後者のアプローチにある
ように、蒸着膜を用いる代わりに、サブミクロンサイズ
の微小な結晶粒を用いる方法により、回避可能である。
例えば、ダイヤモンドや、立方晶子空化剛柔のサブミク
ロンサイズの微結晶は、研磨用の砥粒の用途で工業生産さ
れており、価格的にも手頃であるため、電子放出素子ア
レイの大面積形成に有用である。

【0020】このような微粒子を用いた網状構造の電子
放出素子の構造や製法に関しては、J.Vac.Sci.Technol.
B14(1996)2060や、米国特許第5019003号明細書、特開平
8-241665公報、特開平8-77916公報、特開平10-92294公
報、そして特開平10-92298公報において報告・開示され
ている。

【0021】J.Vac.Sci.Technol.B14(1996)2060に報告
されている例では、あらかじめ基板上に、エミッタ配
線、絶縁膜、ゲート膜を堆積し、ゲート膜と絶縁膜を貫
通させた穴を複数設けておき、この穴に蒸着によりドー
ビングを施したダイヤモンド微粒子（粒径1μm程度）の
表面をエッチングによって荒らしたものを導電性のマト
リックス中に分散し、ペースト化したものを穴で押し込
む方法で素子が作製されている。この素子では、構造
上、図4に示すように、エミッタ配線とゲート膜間に導
電性の母材によって短絡がやすく、信頼性が低い。

【0022】また、米国特許第5019003号明細書に開示
されている例では、図4に示すように、基板100上に、
複数の微粒子材料（1μm径）が接着剤101で固定され
ている構造のエミッタが示されている。この素子では、
微粒子の一部で、鋸い角を持っている部分が接着剤から
突出していることが特徴となっている。微粒子は導電性
の微粒子201または、導電膜203で覆った絶縁性の微粒子
202のいずれでもよい。導電性の材料としては、Mo
や、TiCなどが挙げられている。同明細書には、電子
放出素子化するための、ゲート及び、放出された電子を
回収するための電極（アノード）を配置する構造について

も示されている。図6に示すように、基板100上に複数
設置された微粒子エミッタ201の一部を除いて絶縁膜4
09で覆い、その上にゲート401を配設し、さらにその上
に絶縁膜402を設置し、その上に透明なアノード電極と
しての機能を持つフェースプレート404と並光体層403が
設置され、FEDの構造となっている。しかしながら、
同明細書に示されているような方法で複数の微粒子を大
面積に均一に設置することは、実際には、容易ではない。
特にディスプレーへの応用を想起した場合、仮に複
数の微粒子を大面積に均一に設置することができても、
ゲートをつけて電子放出素子のアレイとして組み上げた
時に、各々の画素間での特性が均一でなければならない。
個々の電子放出素子間の特性分布は、電界放出の非
線形性により、電界・電流密度特性には強調されて反映
される。したがって、各々の素子間で特性の分布がほと
んどないか、各々の画素間で画素を形成する複数の電子
放出素子の特性分布がほとんど同一であることが要求さ
れる。このため、特性分布を同一にするためには、多くの
電子放出素子が各々の画素に含まれていて、平均化の
効果が十分に発揮されることが必要となる。しかし、こ
の場合のように、鋸利な角を有する微粒子を配置した場
合、これらの鋸利な角の部分が上を向いて設置される確
率は高くなく、多くの微粒子はエミッタとして機能しな
い。画素の大きさが数百μm四方程度であるとき、画素
面積内に設置できるゲートの開口部は高々数千個となる
が、微粒子の配置や方向のむらによって機能しない電子
放出素子の割合が高くなることによって平均化効果は著
しく低下し、ディスプレーとして許容できない表示むら
につながる。また、図6では、微粒子エミッタ201が絶
縁膜の下にもあるため、絶縁破壊の起こりやすい構造と
なっている。十分な耐圧を取るために、絶縁膜の厚さを
増やすことによって、動作電圧が上がってしまう。

【0023】特開平8-241665公報の例も、同様な構造の
微粒子を用いた電子放出素子となっているが、用いてい
る微粒子材料は、水素アラズマによって活性化されたダ
イヤモンド粒子であり、電子の放出されやすい特定の方
向がない分、電子放出を行わない微粒子の割合は低い。
また粒径も1.0～3.00nmより小さいため、単位面
積内に設置可能な微粒子の数が大きく、平均化効果はよ
り効率的に起こる。しかし、図7に示すように、基板51
上に設けた導電性表面52の上に複数のダイヤモンド粒子
53を設置し、その上に（マスク粒子62をマスクとして）絶
縁膜60、ゲート膜61を蒸着する形になっているが、この
場合も絶縁破壊に対する問題は残っている。また、微粒
子膜を均一に作製する方法については示されていない。

【0024】これらの事情は、特開平10-92298公報にお
いても図8に示すように同様である。

【0025】また、特開平8-77916公報の例では、図9
に示すように、基板1上にエミッタ配線層32を設置し、
その上に導電性スペーサー層を介してエミッタ微粒子を

含む導電体940が設置されており、スパッタ法などの蒸着法と加热処理の組み合わせで形成されている。エミッタ粒子を含む導電体940を閉じるように、絶縁層910とゲート膜907が設置されている。この構造の場合においては、先に挙げた例のように絶縁膜の下部にエミッタ材が延在している構造にはなっていないため、絶縁膜の信頼性は向上している。しかし、素子作製に蒸着とバーナーイングを用いており、スピント法などの場合と同様に、作製できる電子放出素子のアレイの大きさは蒸着装置や露光装置などの大きさによって制限されてしまう。また、絶縁膜とゲート膜の設置の際に、レジストのリフトオフを用いて、絶縁膜とゲート膜のうち、電子放出部の上に堆積する部分を除去する製法をとっているが、絶縁膜とゲート膜の膜厚の和は1μm近いため、技術的に困難である。このため、歩留まりが低く、大面積の電子放出素子アレイ作製に不向きであった。

【0026】さらに、特開平10-92294公報に示されている例では図10に示すように、下部基板1001、カソード電極ライン1002の上に絶縁層1003、ゲート電極4を設置し、開口部1005を設け、この中に、微粒子エミッタ材料を高圧ガスとともにノズルから噴射する方法を採用しているが、この方法では、開口部に堆積する微粒子の量を調節することが困難であり、ディスプレーに応用をしたときに表示むらが生じやすい。また、ゲートとエミッタ間の短絡が素子の作製時に発生しやすい。

【0027】そして、これら全ての例における共通の問題として、実際にディスプレーに電子放出素子を応用したときに、輝度むらの発生を抑えるためには、各々画素内において電子放出素子から放出される電流の最大量が制限されている必要がある。このために、各々の画素内において、好ましくは各々の電子放出素子において最大電流を制限する要素が組み込まれている必要がある。しかしながら、これらにおいては、このような電流制限を行う構造は組み込まれていなかった。

【0028】一方、電子放出素子を利用した表示素子、たとえば薄型のディスプレイ装置としては、特開平10-92294号公報のような電子放出源とそれを用いたディスプレイ装置がある。図13、図14を用いて上述した電子放出源とディスプレイ装置について説明する。従来の電子放出源は図13、図14に示すように、例えばガラス材よりなる下部基板5001の表面上に帯状の複数のカソード電極ライン5002が形成され、その上に仕事関数の小さな材料からなる薄膜5007が、またその上に絶縁層5003が形成され、さらにその上にカソード電極ラインと交差して帯状に複数のゲート電極ライン5004が形成されている。カソード電極ライン5002とゲート電極ライン5004とはマトリクス構造を構成しており、各カソード電極ライン5002および各ゲート電極ライン5004は制御手段5015にそれぞれ接続されて駆動制御されている。カソード電極ライン5002とゲート電極ライン5004との各交差領域に

おいては、ゲート電極ライン5004と絶縁層5003を貫通して薄膜7に達する多数の略円形の孔5005が形成され、これら孔5005の底部の薄膜5007が冷陰極を形成している。この電子放出源を用いたディスプレイ装置の例を図14に示す。ディスプレイ装置5020は上述した電子放出源5012を画面を構成するように多数配置した部材と、この部材の電子放出方向に所定の間隔を持って配置された上部基板5028が設けられている。この上部基板5028の電子放出源5012と対向する位置にゲート電極ライン5024と平行な帯状の蛍光体が塗布された蛍光面5029が形成され、また、電子放出源5012と蛍光面5029との間は真空中に保たれた構成になっている。次に、このディスプレイ装置5020の駆動について述べる。画像を構成する所定の画素領域の電子放出源5012を、その電子放出源5012と一致する交差領域を有するカソード電極ライン5023とゲート電極ライン5024を制御手段5025により選択し、所定の電圧をかける。これにより、この電子放出源5012は励起し、その電子放出源5012から電子が放出され、さらにカソード電極ライン5023とアノードである上部基板5028の間に印加された電圧によって電子は加速され、蛍光面5029の蛍光体と衝突して可視光を放出し、画像を形成するものである。

【0029】カソード電極ライン5002とゲート電極ライン5004の交差領域は、絶縁層を誘電体層としたキャバシタを構成している。そのキャバシタの静電容量(寄生容量)Qは、

$$Q = \epsilon_0 \times \epsilon \times A / d \quad (1)$$

ϵ_0 : 真空の透磁率

ϵ : 絶縁層の誘電率

A : 交差領域の面積

d : 絶縁層厚

であるので、駆動時にキャバシタ部分で消費されてしまう電力Wは

$$2W = 2\pi f Q V^2 \quad (2)$$

f : 駆動周波数

V : 駆動電圧(ゲート-エミッタ間)

となる。従来の発光素子およびそれを用いたディスプレイ装置では通常、絶縁層5003の材料としてはSiO₂が一般的に用いられる。CVD等で形成されたSiO₂薄膜の誘電率は4.3程度であり、式(1)で表される寄生容量が無視できない大きさとなり、このディスプレイ装置の消費電力を増加させてしまう。さらに、寄生容量を許容範囲以下に抑えるために絶縁層厚を増加せざるを得ず、従ってゲートエミッタ間距離が増加し、それに伴い駆動電圧が増加してしまうと言う問題点があった。

【0030】

【発明が解決しようとする課題】前述のように、従来の電子放出素子では、微粒子材料をもつて電子放出素子を作製することによって、素子の構造を簡略化し、高価な真空成膜プロセスを非真空プロセスで置換すること

が可能となつたが、従来の例においては、構造面から絶縁膜の信頼性が十分確保できない点や、ゲート配線とエミッタ配線の間で短絡が生ずる点において問題があつた。

【0031】また、ディスプレー応用時の表示の均一性を確保するため、各々のエミッタ一流れる電流を制限する要素が組み込まれていない点に問題があつた。また、真空アロセスを用いずに、大面积にわたって、むら・欠陥の発生を抑え、均一に微粒子を用いた電子放出素子を作製する方法が示されていなかった点に問題があつた。

【0032】本発明による電子放出素子は、ゲート膜とエミッタ膜の間での絶縁の信頼性が高く、個々のエミッタから放出される電流量を制限する機能を持つ電子放出素子の構造を提供することと、かつ大面积にわたって、非真空アロセスを用いて均一に多数の素子を作製する手段を提供するものである。

【0033】また、本発明による表示素子は、低電圧駆動が可能で、高寿命、高精細化が容易な大面积均一極薄型ディスプレイ装置を提供するものである。

【0034】

【課題を解決するための手段】上述の目的を達成するための、本発明による電子放出素子を構成する視点は以下の通りである。

【0035】すなわち、本発明第一の視点は、基板と、この基板上に設けられたカソード配線層と、ゲート配線層と、前記カソード配線層と前記ゲート配線層とを電気的に絶縁する絶縁層とを有し、前記ゲート配線層および前記絶縁層とを貫いた貫通孔内に抵抗層およびエミッタ層が形成された電子放出素子であつて、前記抵抗層が絶縁性微粒子からなる母材中に導電性微粒子が分散した構造を有するものであり、かつ、前記エミッタ層が微粒子材料によって形成されたものであることを特徴とする、電子放出素子にある。

【0036】また、上記本発明第一の視点は、更にその特徴として、「抵抗層を形成する絶縁性微粒子、導電性微粒子およびエミッタ層を形成する微粒子のうちの少なくとも一つに金属塗が付着したものであること」をも含むものである。

【0037】また、本発明第二の視点は、上記の電子放出素子を製造するに際し、抵抗層を電気泳動法によって形成することを含む、電子放出素子の製造方法にある。

【0038】そして、本発明による表示素子は、カソード電極ラインとエミッタ層と絶縁層と、前記カソード電極ラインに交差するゲート電極ラインとが順に形成された第一の基板と、前記第一の基板に真空を介して離間および対向して配置された、アノード配線層と蛍光体層とから形成された第二の基板とを有する表示素子であつて、前記第一の基板上の絶縁層がフッ素を含有するSiO₂膜よりなること、を特徴とするものである。

【0039】そして、本発明による表示素子の製造法

は、上記の表示素子を製造するに際し、絶縁層を、フッ素を含有するSiO₂膜を液相成長することによって形成するものである。

【0040】以上の視点によって構成される本発明による電子放出素子の構造並びにその製法を用いることによって、各々のエミッタからの電子放出量を制限し大面积にわたって均一な特性を持つ電子放出素子のアレイを作製することが可能となる。また、多数の微粒子を用いた電子放出素子を大面积にわたり、非真空アロセスを用いつつも、むら・欠陥の発生を抑えて形成することが可能となつた。さらに、その形成時に、ゲート配線とエミッタ配線間に短絡の発生を抑えることが可能となつた。

【0041】このような本発明によれば、絶縁体に導電体を分散させた抵抗層のもつ十分な電流制限効果によって、微粒子を用いた電子放出素子を大型のディスプレーに応用した際に、表示むらや画素欠陥の発生を効果的に抑制することが可能となつた。また、素子の作製方法に電気泳動法を用いたことによって、抵抗層ならびに、微粒子層をエミッタ配線線上に選択的に均一に施設することが可能になつたため、ゲートとエミッタ間の短絡が抑制された結果、動作の信頼性が格段に向上した。

【0042】

【発明の実施の形態】<電子放出素子>次に、本発明による電子放出素子の好ましい実施形態について説明する。

【0043】図1は、本発明における電子放出素子の構造の一例を示す模式図である。図1において1は基板、2はカソード配線層、3は抵抗層、4はエミッタ微粒子層、5は絶縁層、6はゲート配線層、そして7は開口部を示している。

【0044】基板1の材料としては、石英ガラス、バイレックス（登録商標）ガラス、青ガラス、ステンレスの表面をSiO₂などの絶縁膜で覆った積層体、表面をバリア型の陽極酸化膜で被覆したアルミニウムの板、Siウエハなどからなる群がら選択して用いることができるが、ディスプレー応用を想定したときに、反りが少なく、ディスプレーの表板との熱膨張係数が近くなっていることが好ましく、コスト面などのファクターを適宜加味して決定される。

【0045】また、基板1の上にはエミッタ配線層2が形成されている。エミッタ配線層2の材料としては、一般的な導体材料を用いることができる。例えばNi、Cr、Cu、Au、Pt、Ir、Pd、Ti、Al、Mo、Wなどの金属や、その合金を用いることができ、好ましくは低抵抗、高熱伝導率、かつ融点の高い材料を選択して用いることができ、そのエミッタ配線層2の膜厚は100nm～500μm程度、好ましくは500nm～20μm程度である。エミッタ配線層2の形成方法としては、スパッタ法などの蒸着法、好ましくは印刷法やめっき法を用いることができる。

【0046】そしてエミッタ配線層の上には絶縁層5、ゲート配線層6があり、部分的に設けられた開口部7を有している。絶縁層5の材料としては、スパッタ法などの真空蒸着法や、L.P.D法などの液相成長、陽極化成法などの方法で成膜されたS i O₂、A l₂O₃、M gO、T a₂O₅などの膜を用いることができる。中でも、液相成長によって緻密な膜が得られるL.P.D法によるS i O₂膜の使用が好ましい。L.P.D法の使用時に、下地膜選択性からエミッタ配線層の上に成膜ができない場合でも、C V D法などを用いて、あらかじめS i O₂の下地膜を形成しておくことで用いることができる。

【0047】ゲート配線層6の材料についても、一般的な導体材料が利用でき、その膜厚は、1.00 n m～5 μm程度、好ましくは2.00 n m～1 μm程度である。エミッタ配線層と同様に例えばN i、C r、C u、A u、P t、I r、P d、T i、A l、M o、Wなどの金属や、その合金を用いることができ、好ましくは低抵抗、高熱伝導率、かつ融点の高い材料を選択して用いることができる。また、その形成方法には、スパッタ法などの蒸着法、好ましくは印刷法やめっき法を用いることができるが、下地膜との密着性が考慮されている必要がある。下地膜との十分な密着性が得られない場合は、T iや、C rなどの金属をごく薄く接着層として間に形成しておくことが好ましい。また、接着層を用いる代わりに、水素雰囲気中のアニールなどの方法をもじいて、絶縁膜の表面を十分疎水性にしておくこともできる。

【0048】ゲート配線層6と絶縁層5を貫く開口部7は略円形をしており、その直径は2.00 n m～1 μmの範囲にとることができ、5.00 n m～2 μmの範囲に収まっていることが好ましい。開口部7は絶縁層5とゲート配線層6を形成した後にパターニングをして設けることができる。また、絶縁層5とゲート配線層4を形成する前に後に溶解される犠牲層をあらかじめ設けておいて、リフトオフを行ってよい。

【0049】開口部内部には抵抗層3とエミッタ微粒子膜4が設けてある。抵抗層3は、絶縁性の母材3a中に導電性の微粒子3bが分散配置された構造になっている。絶縁性の母材3aには、S i O₂などの無機物、ポリイミド、テフロン（登録商標）などの有機物を用いることができるが、中でも、ポリイミドの微粒子材料を用いることが好ましく、粒径は、好ましくは5 n m～500 n m、特に好ましくは、5 n m～50 n mの範囲に収まっていることが好ましい。ポリイミドなどの有機物は極めて水分を物理吸着しやすく、真空中で吸着した水分を放出するため、真空中での使用は一般に適さないが、本発明における構成での使用量はごく微量であり、十分なガス出し過程を経て利用する限りにおいては、実用上差し支えない。また、導電性の微粒子3bには、一般的な金属材料や、カーボン系の材料を用いることができる。特に、絶縁性の母材3aにポリイミド微粒子を用いた場合は、カーボン系の材料の方が、より均一に母材中に分散されるため、好ましい。このようなカーボン系の材料としては、グラファイト微粒子、アモルファスカーボン微粒子、フラーイン、カーボンナノファイバー、グラファイトナノファイバーなどの材料を用いることができる。

【0050】また、本発明で用いる微粒子エミッタ4の材料としては、ダイヤモンド微粒子、立方晶窒化硼素（c - B N）、六方晶窒化硼素（h - B N）、窒化アルミニウム（A l N）などの電子親和力の極めて小さい微粒子材料を用いることができる。また、低仕事関数のC e O₂、H o O₂などの酸化物材料や、H f C、Z r C、S i C、などの炭化物材料の微粒子材料を用いることができる。これらの微粒子材料の粒径は、5 n m～500 n m、特に、5 n m～50 n mの範囲に収まっていることが好ましい。また、ダイヤモンド微粒子、立方晶窒化硼素（c - B N）、六方晶窒化硼素（h - B N）、窒化アルミニウム（A l N）などの微粒子材料を用いる前に、活性化処理が施されていることが好ましく、ダイヤモンドの場合は、水素プラズマ処理や、酸素プラズマ処理と水素アニールなどの処理、c - B Nや、h - B Nの場合はやはり、水素プラズマ処理や、酸素プラズマ処理と水素アニールなどの処理、あるいは、ふつ酸処理が施されていることが好ましく、またA l Nを用いた場合は、水素プラズマ処理や、酸素プラズマ処理と水素アニールなどの処理、ふつ酸処理、あるいはアルカリ処理が施されていることが好ましい。さらに、これらの材料はn型またはp型にドーピングされていることが好ましく、n型にドーピングされていることが特に好ましい。

【0051】ダイヤモンドの場合は、窒素による置換ドーピング、c - B Nの場合は硫黄などによるドーピングを施しておくことが好ましい。

【0052】つぎに、本発明における電子放出素子の製造方法について図2を用いて説明する。

【0053】図2a、2bは、本発明において、それぞれ、抵抗層3および微粒子エミッタ層4を形成する方法を説明するための図である。ここで用いる記号のうち、1から7は、図1で用いたものに対応している。また、21は成膜時に用いる対向電極、22は微粒子材料の分散溶媒、24は成膜に用いる電圧印加手段、そして23は対向電極と素子基板との間隔である。

【0054】本発明において、抵抗層3ならびに微粒子エミッタ層4はいずれも電気泳動法によって、着膜されるため、図2a、2bにおける配置は同一のものである。ここで、対向電極と素子基板との間隔23、分散溶媒22、電圧印加手段24によって印加される電圧はそれぞれ、以下に説明するような条件を加味して決定される。

【0055】すなわち、電気泳動法とは、対向する極板間に扶持された溶媒中に分散された微粒子を極板間に印加した電圧によって片方の極板の表面に引き付け、堆積させる方法であり、用いる分散溶媒は、絶縁性の溶媒で

ある。電圧の印加によって、溶液中に電界が発生し、この電界によって、帶電した微粒子が移動する仕組みになっている。ふつう、物質は溶液中で物質が自ら持つ電位の効果によって帶電するが、電気泳動法を行うためには、帶電量が不充分なため、溶液中に金属塩を添加することによって、強制的に帶電させことが多い。このような金属塩には、ナフテン酸ジルコニウムや、ナフテン酸マグネシウムなどを用いることができるが、これらに限定されるものではない。電気泳動の起こりやすさは、溶液の誘電率、微粒子の誘電率と溶液中の移動度、微粒子の帶電量によってきまるが、ふつうは電気泳動に必要な電界強度は、 1000V/mm 程度である。

【0056】なお、電気泳動(electrophoresis)は、誘電電気泳動(dielectrophoresis)と混同されることがあるが、後者は、帶電した微粒子を電界によって移動させるのではなく、分極を与えた微粒子を電界匀配によって移動させるもので、交流電場を用いることができ、電界強度が 1V/mm 程度でよい点などが大きく異なる(なお、両者については、例えば「理工学事典」、(株)日刊工業新聞社発行(1996年)、その他の文献に記述されている)。

【0057】したがって、本発明における抵抗層ならびに微粒子膜の電気泳動法を用いた成膜方法を用いるためには、電圧印加手段24によって印加される電圧[V]と23の対向電極と素子基板との間隔[mm]の比が 1000 程度であればよい。そして、好ましくはそれぞれ、 $100\text{V} \sim 500\text{V}$ 、 $100\mu\text{m} \sim 500\mu\text{m}$ の間に取ることができる。例えば、対向電極と素子基板との間に印加する電圧が 150V であった場合、その距離を $150\mu\text{m}$ にとればよい。

【0058】本発明における電子放出素子の作製方法では、まず図2aの配置を用いて、抵抗層3を電気泳動法で成膜する。このとき、分散溶液は絶縁性の有機溶液を用いることができるが、好ましくはイソバラフィンを用いることができる。この溶液中に絶縁性の母材粒子と、導体微粒子が混合比 $100:1 \sim 10000:1$ で混ざったものを、溶液:微粒子の重量比が $10 \sim 0.1\%$ 程度になるように分散させて用いる。また、金属塩を溶液に重量比 $1 \sim 0.1\%$ 程度溶解させておく。そして、電圧印加手段24によって、対向電極21とエミッタ配線2の間に電圧を印加すると、帶電した微粒子の移動によって電流が流れ、徐々にこの電流が減少していく。ここで印加する電圧の正負は、微粒子材料の帶電している電荷の正負によるが、金属塩を加えた場合、正に帶電するため、エミッタ配線の方が負になるようにバイアスをかける。ここで、電流が十分に減少したときに、電圧の印加を停止する。さらにこの直後にゲート層6に対向電極21に対して正のバイアスを印加することによってゲート層上に堆積した抵抗層を除去する工程を加えることが好ましい。微粒子の分散を保つため、図2aの配置に

さらに、超音波を印加する手段が組み込まれていることが好ましい。

【0059】以上のようにして開口部内部のエミッタ配線層の上に選択的に着膜したあとに、真空あるいは不活性雰囲気でアニールを行うことが好ましい。アニール温度としては好ましくは摂氏 200°C から 400°C 程度で行うことができる。このようにして、抵抗層を $200\text{nm} \sim 500\text{nm}$ 程度成膜する。最後に、図2bの構成を用いて微粒子エミッタ膜を着膜する。このときの手順は、前述の抵抗層の着膜手順と全く同一である。成膜された微粒子エミッタ膜の膜厚は微粒子1層～2層程度となることが好ましい。

<表示素子>本発明による表示素子は、前記の通り、カソード電極ラインとエミッタ層と絶縁層と、前記カソード電極ラインに交差するゲート電極ラインとが順に形成された第一の基板と、前記第一の基板に真空を介して離間および対向して配置された、アノード配線層と蛍光体層とから形成された第二の基板とを有する表示素子であって、前記第一の基板上の絶縁層がフッ素を含有する SiO_2 膜によりること、を特徴とするものである。

【0060】本発明においては、第一の基板上の絶縁層である SiO_2 がフッ素を含有するため、化学気相成長法や高周波スパッタリング法などに代表される通常の薄膜形成法で形成した SiO_2 膜の誘電率 4.3 前後に比して著しく低い誘電率が達成できる。図12に液相堆積法で形成した SiO_2 膜のフッ素濃度と誘電率の関係を示す。図12に示すように誘電率はフッ素添加量の増加に伴い減少する。ここで、絶縁層に求められる誘電率を見ると、平行平板の二極構造の場合、発光に十分な電子放出を発生させるに必要な電界はおよそ $1000\text{V}/\mu\text{m}$ である。また本発明のように冷陰極が微粒子の場合、平行平板構造に比して電界が局所的に集中し、その電界集中因子はおよそ 100 であるため、実際にゲート～エミッタ間に最低限必要な電界は $1000\text{V}/\mu\text{m}$ の $1/100$ 、すなわち $10\text{V}/\mu\text{m}$ であると考えられる。この表示素子が薄型壁掛けテレビとして一般家庭で用いられるためには消費電力が 200W 以内であることが望ましく、ゲート～エミッタ間の駆動電圧は 100V 以下に抑える必要がある。従って、 100V で発光に必要な電子放出を起こすためにはゲート～エミッタ間距離が $10\mu\text{m}$ 以下である必要がある。

【0061】一方、消費電力効率の点からゲート～エミッタ間の寄生容量は一画素当たり 0.5pF 以下であることが必要である。これは1ドットあたり 0.167pF である。1ドットのサイズは画素間のスペースを $35\mu\text{m}$ とすると $41.5\mu\text{m} \times 11.5\mu\text{m}$ 、面積は $4.77\text{E}-8\text{m}^2$ である。(1)式と $A=4.77\text{E}-8\text{m}^2$ 、 $Q<0.167\text{pF}$ より、

$$e/d < 3.95\text{E}5\text{m}^{-1} \quad \dots (3)$$

となる。発光に必要なゲート～エミッタ間距離が最大 1

$0 \mu\text{m}$ であるので、 $d = 10 - 5 \mu\text{m}$ を用いて、
 $e \leq 3, 95$ — (4)

が絶縁層に求められる誘電率となる。(4)式であらわされる低誘電率は、もはや通常の SiO_2 膜では得られず、フッ素を添加することによって達成でき得ることが判る。(4)式と同様に、 SiO_2 膜中のフッ素濃度は 2%以上であることがより望ましい。

【0062】

【実施例1】以下に、本発明による電子放出素子の実際にについて実施例をあげて説明する。

＜実施例1＞木発明にかかる基本的な電子放出素子の構成は図1に示したものと同様である。また、図3に本発明を用いたディスプレーの構造を示す。図中31はフェースプレート、32は電子放出素子からの電子を加速するためのアノード電極、33は放光部、34は排気管、35は大気圧を支持するためのスペーサー、36は残留ガスを吸収するためのゲッター、37は画面に電子ビームをフォーカスするための集束電極である。また、図中1~7の記号は図1で用いたものと同一である。

【0063】以下、順を追って本発明における電子放出素子のアレイの製造方法特に好ましい一例を解説する。

【0064】工程1：清浄化し、表面をプラズマ処理によって荒らした対角 14 インチ、厚さ 5 mm のバイレックスガラス基板1の長辺方向に平行に、エミッタ配線層2を $4.50 \mu\text{m}$ ピッチで作製した。但し、基板1の、エミッタ配線2の方向に平行な端からそれぞれ 2インチずつ、配線取り出し用のマージンとしてあり、この部分には何も形成されないようバーニングを行なった。エミッタ配線2の幅は $3.50 \mu\text{m}$ とした。まず、エミッタ配線2の形成される間の部分に、PVA膜を塗布、露光用のマスクを用い、紫外線照射によってバーニングし、 5.0 nm の Ni 膜を無電解めっきによって成長させた。この時、バーニング精度は $1.5 \mu\text{m}$ であった。次に PVA 膜のリフトオフを行い、無電界めっきにより形成された Ni 膜を電極として、電解めっきを行ない、さらに $1 \mu\text{m}$ の Au 膜を成長させた。

【0065】工程2：次に LPD 法を用いて SiO_2 膜5を $1 \mu\text{m}$ 成長させた。成長させた LPD 膜には、多くのバーティカル欠陥が含まれていたが、その密度は 1 平方 cmあたり 1000 個程度であり、実用上問題ないレベルであった。また、 Au 上に形成された膜は、やや黒ずんでいたが、耐圧は、 $1 \mu\text{m}$ あたり 100 V 取れており、実用上差し支えのないレベルであった。また、この SiO_2 膜5は、 $\text{Au} - \text{Ni}$ 配線の段差部をコンフォーマルに覆っており、 Au の露出部は存在しなかった。

【0066】工程3：この上に、 Pd 無電解めっきを 30 nm 施した後、 Ir 膜を 200 nm 電解めっき成長させて、ゲート膜6を形成させた。

【0067】工程4：次に、ゲート膜を基板の短辺方向

にバーニングし、ゲート配線6とした。ゲート配線6のピッチは、 $1.50 \mu\text{m}$ で、各々の配線の幅は、 $1.10 \mu\text{m}$ とした。また、基板の、ゲート配線6の方向と平行な端から 2インチずつ、配線取り出し用のマージンとしてあり、この部分にはゲート配線6は形成されないようにバーニングを行なった。バーニング精度は同様に $1.5 \mu\text{m}$ であった。バーニングは、工程1と同様に、PVA の光重合を用いて行なったが、この場合、ゲート配線6の上ののみが PVA によって覆われている様にし、残りの露出している部分をエッ칭・除去した。

【0068】工程5：次に、ゲート層と絶縁層を貫く略円形の開口部7を設けるためのバーニングを行なった。ゲートのバーニングと別々に行なう理由は、2つある。1つは、該開口部の径は $1 \mu\text{m}$ 程度であるため、光学的に見たときに、 $1 \mu\text{m}$ 程度の解像度を持つバーニング手段を用いる必要があるからである。もう1つは、開口部7は、必ずしも整然と入れられる必要はない、開口径が一律で、各画素内におよそ等しい数の開口が配置されれば良いためである。このような解像度を持つバーニング方法として、本実施例では、光学的なリソグラフィーを用いる代わりに、ポリマーの相分離構造を用いたバーニングを行なった。

【0069】ポリマーの相分離構造とは、2種類のポリマー A と B を混合し、双方のガラス転移点より、十分高く昇温したときに、ポリマー A の濃度が高い部分と、ポリマー B の濃度が高い部分に分かれるものであり、2つのポリマーの混合比によって、ポリマー A の濃度が高い部分の「島」にポリマー B の濃度が高い部分の「島」が多数分散している構造が現れたり、その逆が現れたりする現象である。このような場合に形成される「島」の大きさは、熱力学的な安定性から、約 $1 \mu\text{m}$ 径ほんどのがなるため、開口部7のバーニングに用いるために好適であった。

【0070】本実施例では、まず、ゲート配線6とエミッタ配線2の交差部を、改めてレジスト（東京応化製 GFP R800、100cp）のバーニングによって、保護した後に、アルカリに不溶なポリマー A と可溶なポリマー B を 7 : 3 の混合比で有機溶媒に溶解させ、基板上にドクターブレード法によって塗布した。有機溶媒が蒸発した後の膜厚は、ゲート配線6の真上では、 $4 \mu\text{m}$ となっていた。次に、基板全体を摂氏 200°C に加热し、窒素ガス雰囲気で 4 時間アニールを行なった。アニールの後、室温まで冷却をした所、基板全体に、主にアルカリに不溶なポリマー A からなる「島」に主にアルカリ可溶なポリマー B からなる直径 $1 \mu\text{m}$ の「島」状構造が $2 \sim 3 \mu\text{m}$ ピッチで均一に散在していた。なお、アニール時にリフローが起った結果、膜厚は、ゲート配線6の真上では、 $1 \mu\text{m}$ となっていた。なお、該ポリマー膜はエミッタ配線の取り出し部分の上には塗布していない。

【0071】ここで、基板全体をアルカリ溶液に 3 分間

浸漬し、純水でリーンした結果、「島」の部分が完全に除去されて、ゲート配線6が露出した。次に、ゲート配線6をエッチングし、さらにその下の絶縁層5をRIEを用いてエッチングした。この時、エミッタ配線の取り出し部を被覆していた絶縁層5も同時に除去され、エミッタ配線が露出した。

【0072】工程6：次に、図2の配置を用いて、開口部7内に抵抗層3と微粒子エミッタ層4を電気泳動法により着膜した。この作業は、エミッタ配線100ラインずつに分割して行なった。抵抗層3を構成する要素は粒径が100nmのポリイミド微粒子（ピー・アイ技術研究所製）と粒径が10nmの、フラーインを含む炭素微粒子を1000:1の重量比で混合したものである。これらの混合物を分散溶媒22に分散した。用いた分散溶媒は、エクソンケミカル製のアイソバーレである。また、分散溶媒とポリイミド・炭素微粒子混合物の重量比は、0.4wt%であった。また、金属塗として、ナフテン酸ジルコニウム（大日本インキ化学工業製）をポリイミド・炭素微粒子混合物に対し、重量比で10%混合した。

【0073】対向電極21と基板1との間隔23を100μmとし、間に分散液を浸透させて、超音波をかけながら対向電極21とエミッタ配線2の間に電圧印加手段24を用いて、対向電極21を+100V、エミッタ配線2を0Vとなるように電圧を印加した。

【0074】電圧印加直後、数mAの電流が流れ始め、電流量は指数関数的に減衰していく、2分で電流は観測されなくなった。この時点では、分散溶媒に分散していた抵抗材料は、全て基板1上に着膜していた。続いて、ゲート配線6を+50V、対向電極21を0Vと設定することによって、ゲート配線上に付着した微粒子を溶媒中に運動させた。

【0075】なお、本実施例では、対向電極21とエミッタ配線2間への電圧印加、およびゲート電極6と対向電極21間への2段階の電圧印加を行う方法を説明したが、同様の効果は、対向電極21、ゲート電極6、及びエミッタ配線2のそれぞれ同時に対向電極21の電圧 > ゲート電極6の電圧 > エミッタ配線2の電圧の条件を満たすように電圧を印加することによっても実現可能である。また、本実施例では、微粒子はナフテン酸ジルコニウムによって正に帯電していたが、負に帯電する場合は、以上説明した電圧の正負を入れ替えることで全く同様の効果が実現できる。

【0076】最後に、窒素雰囲気で摂氏300度でアニールを行なうことにより、抵抗層3とエミッタ配線2との間に接着が取られた。

【0077】工程7：次に、微粒子エミッタ層を同様にして着膜した。ここで用いた微粒子エミッタ材料は、昭和電工製の立方晶窒化硼素(c-BN)微粒子（製品名SBN-B）で粒径が100nmのものである。また、この微粒子は事前に希硫酸処理をした後、摂氏450度で

水素プラズマ処理を施してある。

【0078】これを抵抗層の着膜に用いたのと同一の溶媒に分散させた。但し、重量比は、0.2%とした。また、ナフテン酸ジルコニウムも、立方晶窒化硼素微粒子にたいして10重量%用いた。

【0079】抵抗層の着膜と同様にして、抵抗層上への着膜と、ゲート層6に付着した部分の除去を行なった。この後、水素雰囲気中で摂氏350度でアニールを行なった結果、微粒子エミッタ層4と抵抗層3との間の良好な結合が得られた。

【0080】工程8：このようにして作製した電子放出素子アレイに、図3に示すように、フェースプレート31、ITOアノード電極層32、蛍光体33、排気管34、スペーサー35を取り付けて、真空チャンバー内に据え付けた。なお、本実施例における測定は、ゲッター36、収束電極37用いずに、真空チャンバー内でターボ分子ポンプによって10マイナス6乗トールに減圧された状態で行なった。

【0081】ここで、スペーサー35の高さは4mmであり、アノードの電位は3500Vに設定した。また、エミッタ配線2、並びにゲート配線6は非選択のもの（いわゆる0V）とし、選択された配線に関しては、それぞれ-15V、+15Vにバイアスした結果、電子放出が起こり、蛍光体上に輝点が確認された。

【0082】ディスプレーの表示領域全体にわたって複数の画面を選択し、同一の条件で輝度を測定した結果、ばらつきは3%以内に収まっていた。

【0083】<実施例2>次に、本発明による電子放出素子の第二の実施例を示す。ここで用いた電子放出素子の構成は、先に述べた実施例1において説明したものと同一である。以下、順を追って本発明における電子放出素子のアレイの製造方法の別の例を解説する。

工程1～6：上記の実施例1による方法に同じものであるのでここでは省略する。以上の工程により、エミッタ配線、絶縁層、抵抗層、並びに微粒子エミッタ層が形成された。

工程7：次に、微粒子エミッタ層を着膜した。ここで用いた微粒子エミッタ材料は、住友大阪セメント製のSiC微粒子である。また、この微粒子は事前に10マイナス4乗トール程度の真空で1700°Cにて20分間加熱処理を施すことにより、表面がカーボンナノチューブに変成しているものである。処理前の平均粒径は30nmであった。

【0084】これを、実施例1で用いたものと同一の溶媒、アイソバーレに分散させた。重量比は、やはり0.2%とした。また、ナフテン酸ジルコニウムをSiC微粒子に対して10重量%用いた。

【0085】つぎに、実施例1の工程8に示した手順により、SiC微粒子の抵抗層上への着膜と、ゲート層6に付着した部分の除去を行なった。この後、窒素雰囲気中

で摂氏400度でアニールを行った結果、微粒子エミッタ層と抵抗層との間の良好な結合が得られた。

【0086】工程8：このようにして作製した電子放出アレイに図3に示すように、フェースプレート31、1T0アノード電極層32、蛍光体33、排気管34、スベーサー35、ゲッター36、収束電極37を取り付けて、排気を行った。排気は、先ず1マーティーポンプで粗引きをした後、ターボ分子ポンプで10のマイナス8乗トールに減圧した。最後に、ゲッターポンプを取り付けて、組みあがったパネル全体を200°Cに加热しながら真空引きを行った後、排気管をゲッターポンプ取り付けた状態で封じ切りをして、パネル全体が封じられた状態とした。そして、室温まで降温させた後、測定を行った。

【0087】アノードの電位を5000Vに設定し、エミッタ配線2、並びにゲート配線2は非選択のものはいずれもOVとし、選択された配線に関しては、それぞれ-5V、5Vにバイアスした結果、電子放出が起り、蛍光体上に輝点が確認された。ディスプレーの表示領域全体にわたって複数の画素を選択し、同一の条件で輝度を測定した結果、ばらつきは2%以内に収まっていた。

【0088】<実施例3>以下に、本発明による表示素子の実施例を詳細に説明する。図11は本発明の一実施例である表示素子の一部を模式的にした断面図である。図11に示すように電子放出源5010は例えガラスよりなる下部基板1の表面上に帯状の複数本のカソード電極ライン5002が形成されている。このカソード電極ライン5002の上に冷陰極用の薄膜5007が、さらにその上に各カソード電極ライン5002と交差して帯状に複数本のゲート電極ライン5004が形成され、カソード電極ライン5002とゲート電極ライン5004とマトリクス構造を構成している。各カソード電極ライン5002および各ゲート電極ライン5004は制御手段5015にそれぞれ接続されて駆動制御されている。カソード電極ライン5002とゲート電極ライン5004との各交差領域においては、ゲート電極ライン5004と絶縁層5003とを貫通して冷陰極用の薄膜5007に達する多数の略円形の孔5005が設けられ、この孔5005の底部に露出した薄膜5007が冷陰極を構成する。この薄膜5007は表面に界面活性剤がコーティングされた、仕事関数の小さな材料による微粒子の集合体である。この絶縁層5003はフッ素を含有する酸化珪素で形成されている。

【0089】この第一の実施例である電子放出源5010を用いたディスプレイ装置の構成とその表示動作は図11を参照して説明した従来例とは、電子放出源の冷陰極中の絶縁層の構成においてのみ異なるものであって、他の構成と動作は従来例と同一である。

【0090】次に、本実施例の冷陰極の製造工程を説明する。

【0091】厚さ3mmのガラス板に、Agペーストをストライプ状にスクリーン印刷、焼成し、カソード電極ラインを形成する。このガラス板に粒径10mmのCB

N微粒子を混入、搅拌した界面活性剤アミノプロピルトリエキシランを塗布、それをキュアし、有機溶剤を揮発させ、さらに、大気中で350°C、2時間の熱処理を行い、カソード電極ラインであるAgとCBNの固着を行った。こうして形成された冷陰極用薄膜を通常のPEP工程により絶縁層にバーニングした。なお、CBNはたとえばイオウをドープすることにより様々な抵抗率を有するが一般には102~1010Ωcmの範囲のものをその用途により用いる。

【0092】このガラス板を濃度3mol/lのケイフル化水素酸水溶液にSiO₂の微粒子を溶解、飽和させた水溶液に、純度99.9%のアルミニウムを添加し、液温を60°Cに保ちながら30時間浸漬し、フッ素を含有したSiO₂膜を1.0μm堆積させ絶縁層を形成する。エミッタ層であるCBN微粒子表面に界面活性剤アミノプロピルトリエキシランがコートされているため、エミッタ層と絶縁層で良好な密着性が得られる。

【0093】次に、絶縁層上にストライプ状のゲート電極ラインを、カソード電極ラインとエミッタ層バターン上で交差するように印刷、焼成により形成する。このゲート電極ラインと絶縁層とを通常のPEP工程により形成したレジストマスクによりバーニングして半径1ミクロン前後の略円形の孔を一絶縁あたり3000個形成した。絶縁層のエッチングは希硫酸で行い、この時開口された孔の底部にエミッタが露出するため、絶縁層のバーニングと同時にエミッタのCBN微粒子表面の水素終端化処理がなされる。この時すでにエミッタ微粒子がカソード配線間に広く形成されているので、穴開けの際の位置合わせは容易であり、この位置合わせにより信頼性を損ねることはなかった。

【0094】こうして得られた冷陰極の絶縁層であるSiO₂のフッ素濃度は2.8%であり、1MHzにおける誘電率は3.5であった。通常、化学気相成長法や高周波スパッタリング法等で形成されるSiO₂膜の誘電率4.3前後に比して著しく低い値が得られた。1画素の面積は約1.6E-7m²であり、1画素当たりの静電容量は0.495PFであった。

【0095】<実施例4>絶縁層の形成を以下の手順で行った以外は、実施例3と同様に表示素子を作製した。カソード電極ラインおよびエミッタを形成したガラス板に粒径100nmのSiO₂微粒子を含有するペーストを塗布、乾燥させる。このガラス板を、濃度3mol/lのケイフル化水素酸水溶液にSiO₂の微粒子を溶解、飽和させた水溶液に、純度99.9%のアルミニウムを添加し、液温を60°Cに保ちながら30h浸漬し、フッ素を含有したSiO₂膜を1.0μm堆積させる。その後、大気中で400°C、1時間のアニールを行い、絶縁層を形成した。

【0096】<実施例5>フッ素を含有したポリミドを電着法により堆積させて絶縁層を形成した以外は、実施

例3と同様に表示装置を作製した。こうして得られた冷陰極の絶縁層である SiO_2 のフッ素濃度は 2.5% であり、1 MHz における誘電率は 3.0 であった。

【0097】

【発明の効果】以上説明した本発明における電子放出素子およびその製法によって、以下の効果が得られる。

(1) 十分な電流制限効果を持つ抵抗層を微粒子エミッタを用いた電子放出素子に組み込むことによって、各々の電子放出素子に流れる最大の電流量を効果的に制限することが可能となり、ディスプレーに応用しても、極端に明るい輝点が散在した形の輝度むらの発生を防ぐことが可能となった。

(2) 抵抗層並びに微粒子エミッタ層をゲートの開口部内の、エミッタ配線に選択的に着膜することが可能となり、エミッタ配線とゲート配線間の短絡の発生を防止することが可能となった。また、塗布などの他の方法では得られない均一性により抵抗層と微粒子エミッタ層を着膜することが可能となった。

【0098】そして、本発明による表示素子によれば、第一の基板上の絶縁層である SiO_2 がフッ素を含有するため、化学気相成長法や高周波スパッタリング法などに代表される通常の薄膜形成法で形成した SiO_2 膜の誘電率 4.3 前後に比して著しく低い誘電率が達成できる。従って一画素当たりの寄生容量を低減できるため絶縁層厚を低減でき、ゲートーエミッタ間距離が短縮されることから低駆動電圧化が可能になる。

【0099】その他、液相堆積法により絶縁層を形成することにより、化学気相成長法や高周波スパッタリング法などに代表される薄膜形成手法により形成した SiO_2 膜に比して緻密なわち絶縁性の高い膜が得られるため、リード電線低減および破壊電圧向上により、消費電力効率と信頼性が向上する。さらに、絶縁層厚を低減できるためゲートーエミッタ間距離が短縮され駆動電圧を低減できる。

【0100】また、液相堆積法は化学気相成長法や高周波スパッタリング法などに代表される薄膜形成手法に比して、膜厚および膜質の均一性に優れるため、例えば 4.0 インチを超える大型の表示素子の場合でも、画質むらの少ない素子を提供することが出来る。

【0101】さらに、低温で成膜できることからカソード電極ラインやエミッタに与える酸化等の熱的損傷を著しく低減する。従って歩留まりの向上、信頼性の向上にも寄与できる。

【0102】さらに、液相堆積法による SiO_2 膜形成においては、予めレジストマスクを施した部分には SiO_2 膜が堆積しないという選択成長性を有するため、 SiO_2 のエッチング液例えは希硫酸や弗化アンモニウムにダメージを受ける材料をエミッタに用いる場合でも、レジストマスク以外の領域に SiO_2 を選択成長させることにより、 SiO_2 のエッチングを行わずに絶縁層の

バターニングが出来るという利点がある。

【0103】さらに、化学気相成長装置や高周波スパッタリング装置などの特別な装置を必要としない、基板の大きさによらずバッチ処理ができるなどの利点を有する。従って、低コスト化、生産性の向上に寄与できる。

【図面の簡単な説明】

【図1】本発明による電子放出素子の構造の一例を示す模式図。

【図2】本発明による電子放出素子における抵抗層および微粒子エミッタ層の成膜方法を示す模式図。

【図3】本発明による電子放出素子の応用例を示す模式図。

【図4】従来の電子放出素子とその製法を示す部分断面図。

【図5】従来の電子放出素子のほかの例を示す部分断面図。

【図6】従来の電子放出素子のほかの例を示す断面図。

【図7】従来の電子放出素子の更にほかの例を示す部分断面図。

【図8】従来の電子放出素子の更にまたほかの例を示す断面図。

【図9】従来の電子放出素子の更にまたほかの例を示す断面図。

【図10】従来の電子放出素子の更にまたほかの例を示す断面図。

【図11】本発明による表示素子の一部を模式的に示す断面図。

【図12】本発明による表示素子の絶縁層の作製方法により形成されたフッ素を含有する SiO_2 薄膜における、フッ素濃度と誘電率の関係を示すグラフ。

【図13】従来の表示素子の一例を示す断面図。

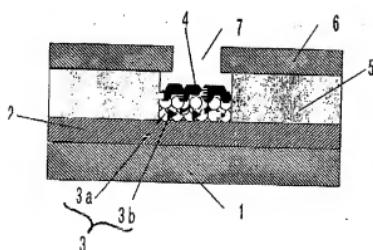
【図14】従来の表示素子の一例を示す分解斜視図。

【符号の説明】

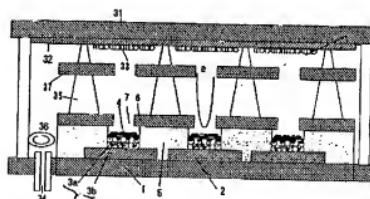
- 1 基板
- 2 カソード配線層
- 3 抵抗層 (3a : 絶縁体微粒子、3b : 导体微粒子)
- 4 微粒子エミッタ層
- 5 絶縁層
- 6 ゲート配線層
- 7 開口部
- 21 対向電極
- 22 分散溶媒
- 23 基板と対向電極間の距離
- 24 電圧印加手段
- 31 フェースプレート
- 32 ITO アノード電極
- 33 蛍光体
- 34 排気管
- 35 スペーサー
- 36 デッター

37	集束電極	815、1015	制御手段
51	基板	901	基板
52	導電性表面	907b	ゲート電極
53	電子放出体粒子	914b	絶縁層
60	誘電体層	932	エミッタ配線層
61	ゲート電極	936	導電性スペーサー層
62	マスク粒子	934	エミッタ母材
101	導電性表面	936	微粒子エミッタ
100	基板	940	電子放出部
201	導体微粒子	4001	絶縁層
202	導体膜	4002	基板
203	絶縁性微粒子	4003	ゲート電極
401	ゲート電極	4004	ヘラ
402	絶縁性スペーサー	4005	ダイヤモンド微粒子とフィラー5001、5021
403	アノード螢光面	下部基板	
404	フェースプレート	5002、5022	カソード電極ライン
407	電子	5003	5023 絶縁層
408	光	5004、5024	ゲート電極ライン
409	絶縁層	5004a、5024a	ゲート部
801、1001	下部基板	5005	孔
802、1002	カソード電極ライン	5007	薄膜
803、1003	絶縁層	5012	電子放出源
804、1004	ゲート電極ライン	5015	制御手段
804a、1004a	ゲート部	5020	ディスプレイ装置
805、1005	孔	5028	上部基板
807、1007	エミッタ薄膜	5029	螢光面

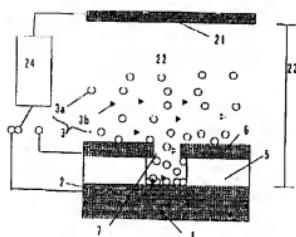
【図1】



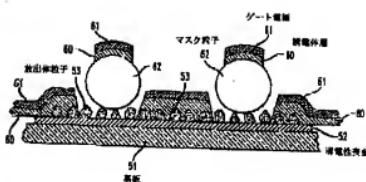
【図3】



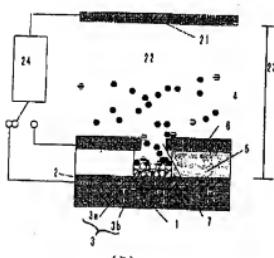
【图2】



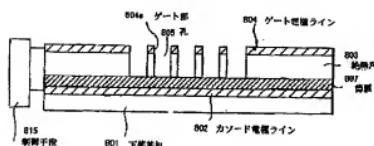
【图7】



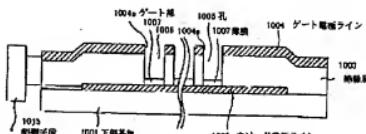
[図9]



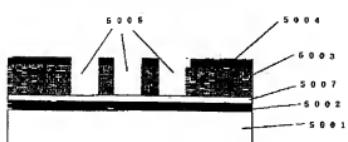
【図8】



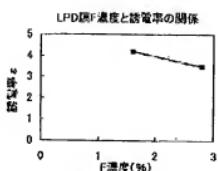
[图1.9]



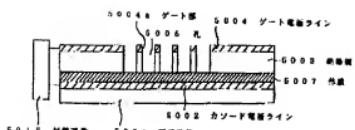
[图1-1]



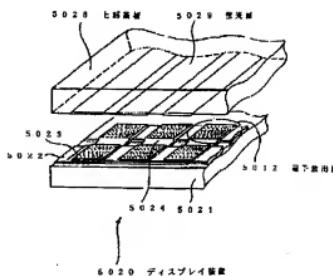
【图1-2】



【図13】



【図14】



フロントページの続き

(72)発明者 森 三樹

神奈川県横浜市磯子区新磯子町33 株式会社
社東芝生産技術研究所内

(72)発明者 小林 等

神奈川県横浜市磯子区新磯子町33 株式会社
社東芝生産技術研究所内

(72)発明者 原 雄二郎

神奈川県横浜市磯子区新磯子町33 株式会社
社東芝生産技術研究所内

(72)発明者 伊藤 刚

神奈川県横浜市磯子区新磯子町33 株式会社
社東芝生産技術研究所内

(72)発明者 斎藤 雅之

神奈川県横浜市磯子区新磯子町33 株式会社
社東芝生産技術研究所内

(72)発明者 平岡 俊郎

神奈川県川崎市幸区小向東芝町1 株式会社
社東芝研究開発センター内

(72)発明者 渋川 銅児

神奈川県川崎市幸区小向東芝町1 株式会社
社東芝研究開発センター内

Fターム(参考) 5C035 BB01



US006563260B1

(12) **United States Patent**
Yamamoto et al.

(10) **Patent No.:** US 6,563,260 B1
(45) **Date of Patent:** May 13, 2003

(54) **ELECTRON EMISSION ELEMENT HAVING RESISTANCE LAYER OF PARTICULAR PARTICLES**

(75) **Inventors:** Masahiko Yamamoto, Kanagawa-ken (JP); Miki Mori, Kanagawa-ken (JP); Yumi Fukuda, Kanagawa-ken (JP); Hitoshi Kobayashi, Kanagawa-ken (JP); Yujiro Hara, Kanagawa-ken (JP); Goh Itoh, Kanagawa-ken (JP); Masayuki Saito, Kanagawa-ken (JP); Toshiro Hiraoaka, Kanagawa-ken (JP); Koji Asakawa, Kanagawa-ken (JP)

(73) **Assignee:** Kabushiki Kaisha Toshiba, Kawasaki (JP)

(*) **Notice:** Subject to any disclaimer, the term of this patent is extended or adjusted under 35 U.S.C. 154(b) by 0 days.

(21) **Appl. No.:** 09/525,531

(22) **Filed:** Mar. 15, 2000

(30) **Foreign Application Priority Data**

Mar. 15, 1999 (JP) 11-069285

(51) **Int. Cl.:** H01J 1/62; H01J 63/04

(52) **U.S. Cl.:** 313/495; 313/496; 313/509

(58) **Field of Search:** 313/495, 496, 313/498, 506, 509

(56) **References Cited**

U.S. PATENT DOCUMENTS

- | | | | |
|---------------|--------|---------------|---------|
| 4,845,533 A * | 7/1989 | Pryor et al. | 257/4 |
| 4,940,916 A * | 7/1990 | Borel et al. | 313/306 |
| 5,019,003 A | 5/1991 | Chason et al. | 445/24 |
| 5,451,830 A * | 9/1995 | Huang | 313/309 |

(List continued on next page.)

FOREIGN PATENT DOCUMENTS

JP	7-201275	8/1995
JP	08-77916	3/1996
JP	8-96703	4/1996

(List continued on next page.)

OTHER PUBLICATIONS

Shoulders et al., "Advance in Computers", Academic Press, New York, London, 1961, vol. 2, pp. 135-137, 160-163.

(List continued on next page.)

Primary Examiner—Vip Patel

Assistant Examiner—Kevin Quarterman

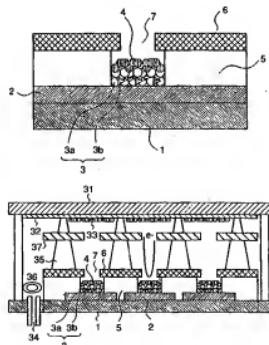
(74) **Attorney, Agent, or Firm—Oblon, Spivak, McClelland, Maier & Neustadt, P.C.**

(57)

ABSTRACT

A display device has an array formed on a substrate including a cathode wiring line layer, a gate wiring line layer and an insulating layer for electrically insulating the cathode wiring line layer and the gate wiring line layer from each other. Holes are formed at the crossing portion between the cathode wiring line layer and the gate wiring line layer so as to penetrate through the insulating layer, and resistive layer and an emitter layer are provided in the holes. The resistive layer has such a structure that conductive fine particles are dispersed in a base material of insulating fine particles, and the emitter layer is formed of a fine particle material. The insulating layer between the cathode electrode lines and the gate electrodes is formed of a silicon oxide film containing fluorine. When a large number of elements are formed over a large area in an electron emission device using fine particle emitters, there can be provided electron emission elements which can suppress the unevenness of the electron emission amount. According to the present invention, there can be provided a large-area and uniform display device which can be operated with a low driving voltage, and have a long lifetime.

24 Claims, 15 Drawing Sheets



U.S. PATENT DOCUMENTS

5,557,160 A *	9/1996	Makishima et al.	313/336
5,760,536 A *	6/1998	Susukida et al.	313/311
5,770,919 A *	6/1998	Tjaden et al.	313/495
5,804,910 A *	9/1998	Tjaden et al.	313/310
5,808,403 A *	9/1998	Clerc	313/336
5,821,679 A *	10/1998	Makishima	313/310
5,847,496 A *	12/1998	Nakamoto et al.	313/336
5,872,422 A *	2/1999	Xu et al.	313/311
5,926,296 A *	7/1999	Garcia	345/74
6,013,986 A *	1/2000	Kauff et al.	315/169.3
6,031,322 A *	2/2000	Takenura et al.	313/309
6,034,468 A *	3/2000	Wilshaw	313/309
6,136,78 A *	10/2000	Kishino et al.	313/309
6,163,107 A *	12/2000	Itoh et al.	313/495
6,255,771 B1 *	7/2001	Jones et al.	313/495

FOREIGN PATENT DOCUMENTS

JP 08148083 A	*	6/1996
JP 8-227655		9/1996
JP 8-234682		9/1996
JP 08-241665		9/1996
JP 08321253 A	*	12/1996
JP 08-329823		12/1996
JP 09161665 A	*	6/1997
JP 09219141 A	*	8/1997
JP 10-31954		2/1998

JP	10031956 A	*	2/1998
JP	10-92294		4/1998
JP	10-92298		4/1998
JP	10092295 A	*	4/1998

OTHER PUBLICATIONS

Spindt, "A Thin-Film Field-Emission Cathode", Journal of Applied Physics 39, 1968, pp. 3504-3505.
 Itoh et al., "Experimental study of field emission properties of the Spindt-type field emitter", Journal of Vacuum Science and Technology B 13 (2), Mar./Apr. 1995, pp. 487-490.
 Zhimov et al., "Wide band gap materials for field emission devices", Journal of Vacuum Science and Technology A, 15(3), 1997, pp. 1733-1738.
 Zhu et al., "Low-Field Electron Emission from Updoped Nanostructured Diamond", Science, vol. 282, Nov. 20, 1998, pp. 1471-1472.

Busta et al., "Performance of laser ablated, laser annealed BN emitters deposited on polycrystalline diamond", Journal of Vacuum Science and Technology B, vol. 16, May/Jun. 1998, pp. 1207-1210.

Geis et al., "Diamond emitters fabrication and theory" Journal of Vacuum Science and Technologies B, vol. 14, May/Jun. 1996, pp. 2060-2067.

* cited by examiner

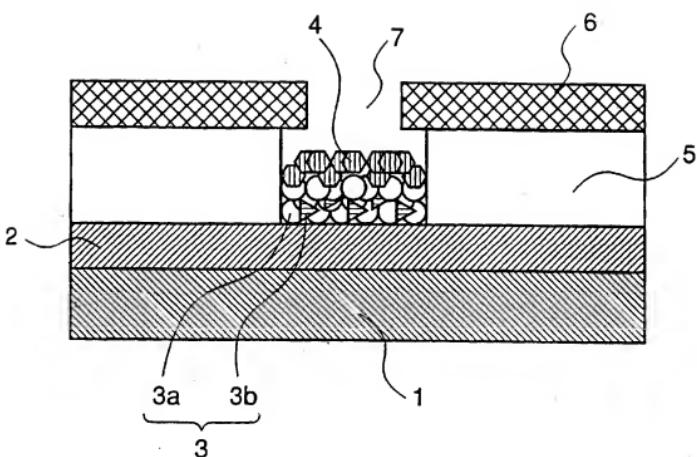


Fig.1

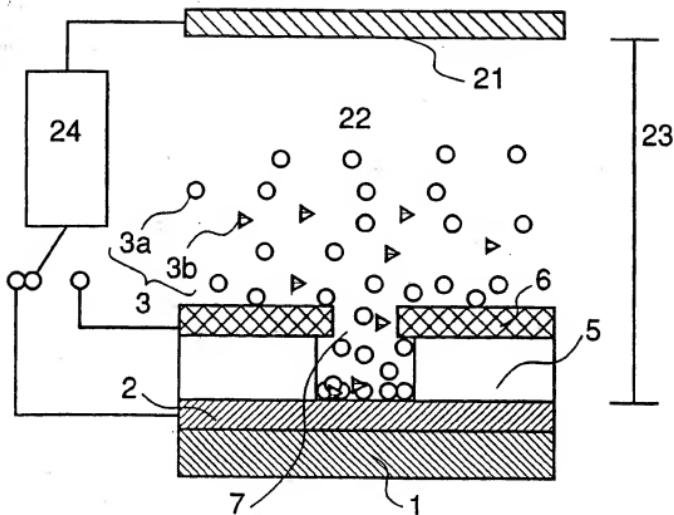


Fig.2 (a)

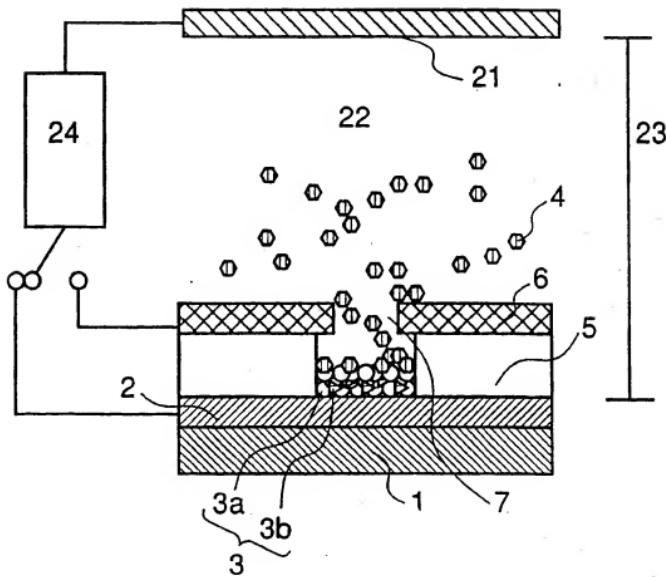


Fig.2 (b)

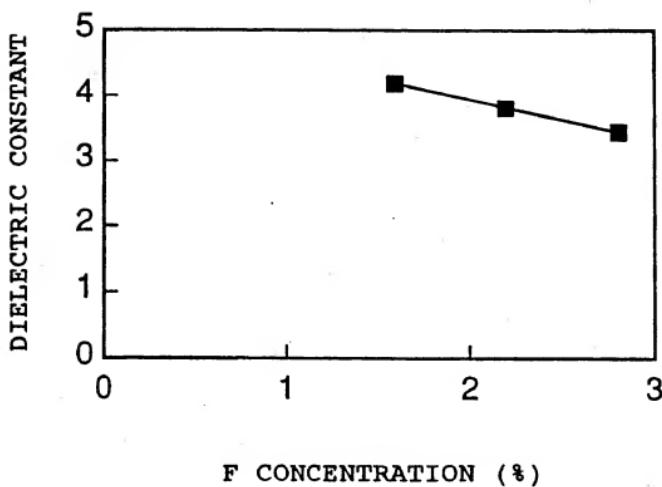


Fig.3

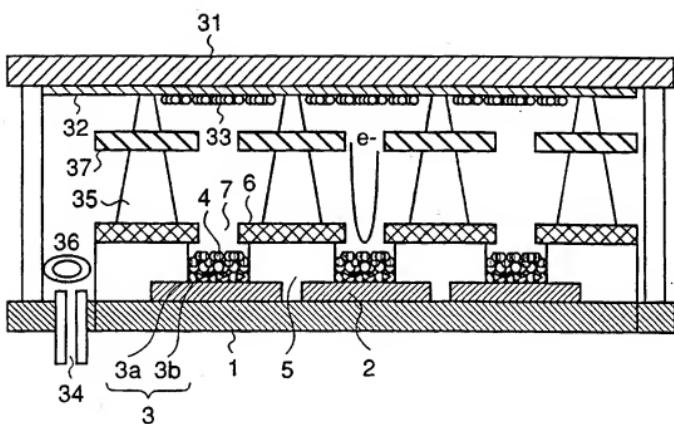


Fig. 4

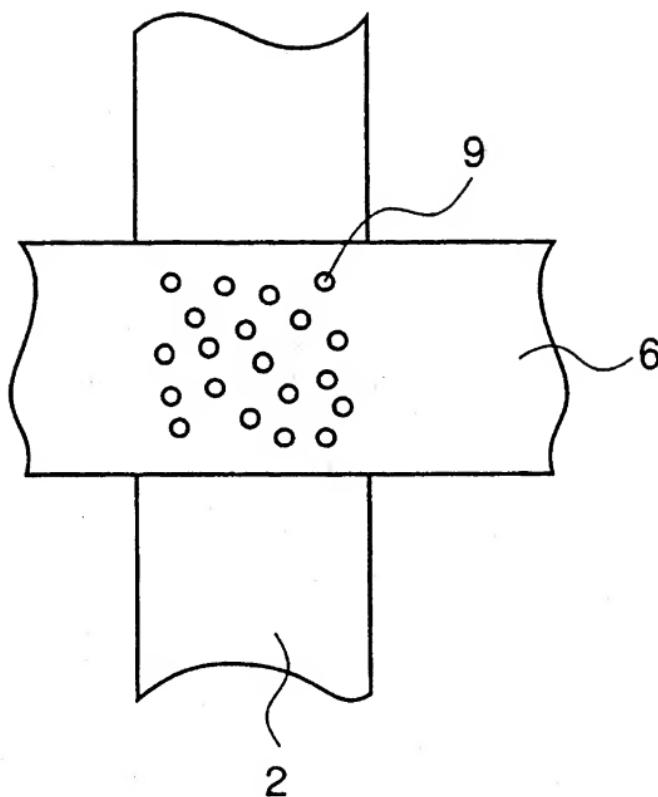


Fig.5

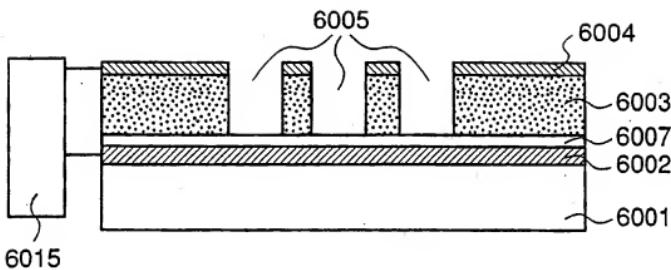
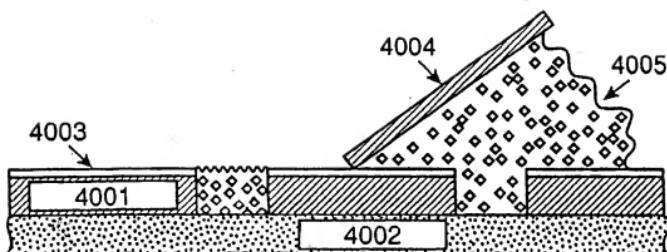


Fig.6



*FIG. 7
BACKGROUND ART*

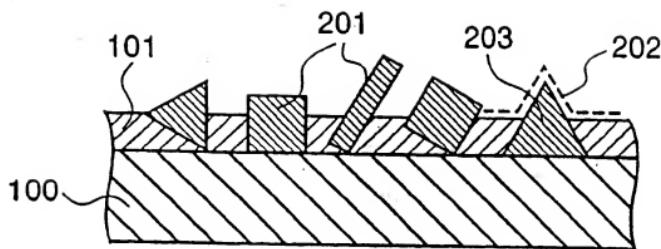


FIG. 8
BACKGROUND ART

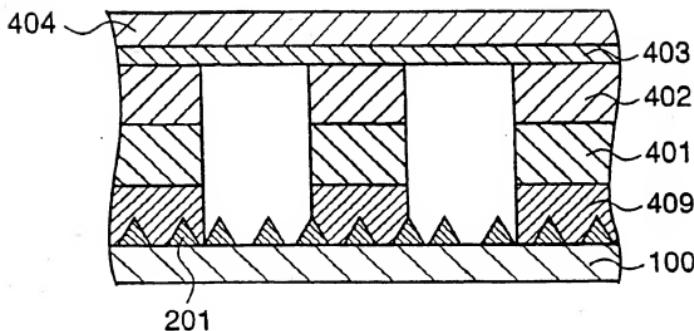
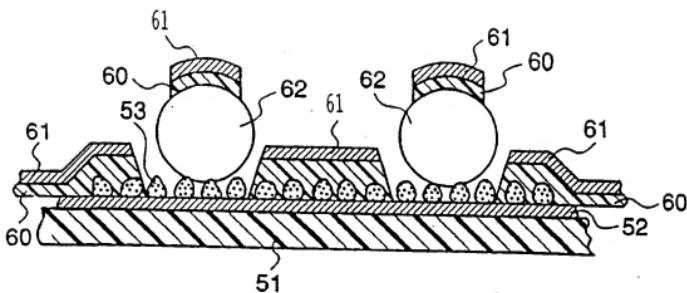
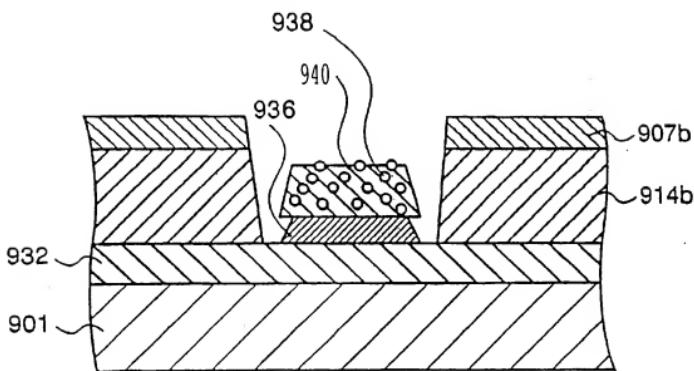


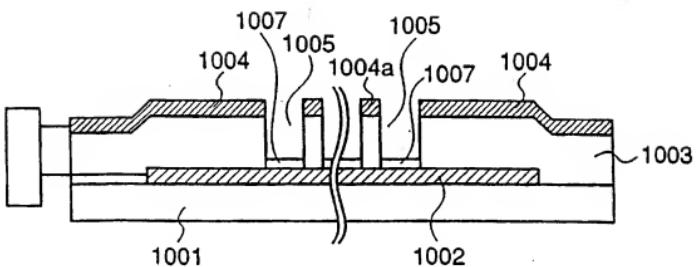
FIG. 9
BACKGROUND ART



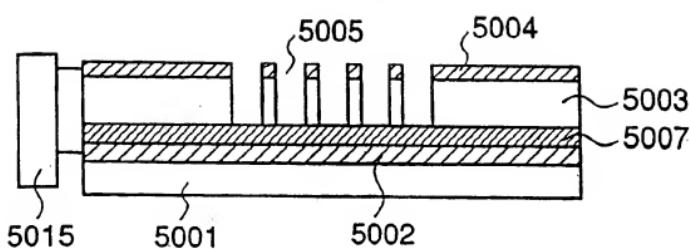
*FIG. 10
BACKGROUND ART*



*FIG. 11
BACKGROUND ART*



*FIG. 12
BACKGROUND ART*



*FIG. 13
BACKGROUND ART*

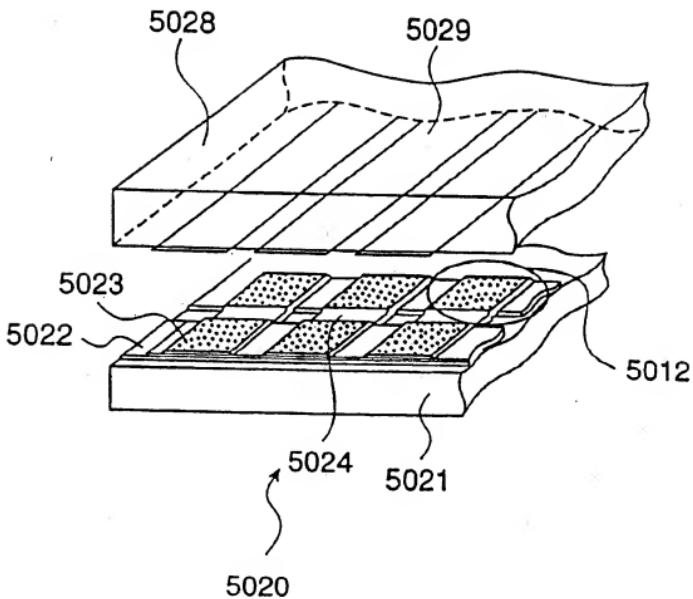


FIG. 14
BACKGROUND ART

**ELECTRON EMISSION ELEMENT HAVING
RESISTANCE LAYER OF PARTICULAR
PARTICLES**

BACKGROUND OF THE INVENTION

1. Field of the Invention

The present invention relates to an electron emission element and a method of manufacturing the electron emission element, and also to a display device using the electron emission element and a method of manufacturing the display device. The present invention is applicable to an image display device, an electron beam exposing device, etc.

2. Description of the Related Art

Application of high electric field of about 10^7 (V/cm) level to the surface of metal or semiconductor induces such a phenomenon that electrons are emitted from the surface of metal or semiconductor into vacuum, and this phenomenon is called as "field emission". The field emission is caused by tunneling of electrons in the vicinity of the Fermi energy level in metal or electrons excited up to the conduction electron band into the vacuum level. However, in the case of the semiconductor, electrons located in the valence band or various levels existing between the bands, such as the impurity levels, the surface levels, etc. may be emitted.

A field emission type cold cathode has such a merit that the electron emission current density can be set to a larger value as compared with that of a thermionic cathode. In the case of thermionic cathodes, the field emission density is limited to about several tens of amperes per one square centimeter at maximum. On the other hand, with cold cathodes, the electron emission current density of about 10^7 to 10^8 amperes per one square centimeter can be achieved. Therefore, use of the field emission type cold cathode is particularly effective to design micron-sized miniature vacuum electron devices.

An actual example of a vacuum micro-electric device using the cold cathode, was first reported by Shoulders in 1961(Adv.Comput.2(1961)135), and he reported a method of manufacturing a 0.1-micron size device and a minute field emission type diode by using the above device. Further, Spindt, et al. reported fabrication of an array structure in which a number of micron-size cold cathodes (triodes) having gates formed on a single substrate by a thin film technique (J. Appl. Phys. 39 (1968) 3504). Following this year, various reports have been submitted.

Various types of structures have been proposed for the vacuum micro-electronic device. According to the report of Spindt, et al., there is proposed a structure having a micron-size minute conical emitter having a sharp tip and a electron extracting electrode (gate) having an open portion located just above the emitter. An anode is provided above the emitter.

With such a structure, the electric field is concentrated on the tip portion of the emitter, and the current of electrons emitted from the emitter to the anode can be controlled by the voltage applied across the gate and the emitter.

As other examples of devices having the same structure, there have been reported various reports for manufacturing the devices having the same structure by using a method using anisotropic etching of Si (Grey's method), a mold method using a mold or the like. The common features of the conventional electron emission elements having the above structure resides in that each of these structures has an extremely sharp emitter tip portion, the radius of curvature

of which is equal to about several nanometers, and that the electric field applied at the tip by the difference between the gate voltage and the emitter voltage is increased 100 times to about 1000 times as compared to the voltage difference divided by the gate-emitter distance, resulting from the effect of the concentration of the electric field at the sharply pointed tip of the emitter.

The diameter of the opening portion of the gate ranges from the micron order to the sub-micron order. An actual manufacturing process of these elements need to position the gate and the conical emitter inside the minute opening portion. It is technically and economically difficult to perform such a precise positioning work by using lithography. This difficulty can be avoided by using self-alignment techniques. However, use of such techniques rather causes lots of restrictions.

For example, a manufacturing process based on Spindt's method will be described.

First, after a gate opening is provided, a peeling layer is formed on the top surface of the gate while the film thereof is prevented from being deposited inside the gate. Subsequently, an emitter material is vapor-deposited from the vertical direction. At this time, the opening diameter of the gate becomes gradually smaller due to the increase of the emitter material adhering to the edge of the opening portion of the gate, so that a conical emitter is formed inside the gate opening. Thereafter, the emitter material adhering to the opening portion of the gate is removed by removing the peeling layer.

As reported in J. Vac. Sci. Technol. B13(1995) 487, a conical shape having an ideal ratio (diameter of bottom surface: height) (aspect ratio) can be formed when Mo is used; however, it cannot be formed when Ti or Zr is used. That is, the material usable for the emitter is limited to special materials not only in consideration of the physical properties which directly affect the field emission characteristics, but also in terms of the shaping of the elements. Accordingly, the emitter material is substantially limited to Mo due to a requirement for forming a conical body having an excellent shape in the vapor-deposition process.

Likewise, the emitter material is limited to Si in the gray method because the tip of the Si conical body is sharpened by thermal oxidation in the Gray's method.

These methods are too low in flexibility to reduce the cost by reconsidering the process and the material.

In order to widen the range of the materials usable for the emitter, it is required to loosen the restriction caused by the manufacturing process, and the following method is known to satisfy this requirement.

This method directs to such an approach that an emitter having a single emission point is not necessarily located at the center portion of the gate, and but a plurality of emission points are provided in the opening portion of the gate, thereby omitting the positioning work between the gate and emitter. Even when this approach is used, the electron emission amount is actually prevented from being remarkably lowered although the loss of the effective current due to withdrawal of electrons emitted from the emitter by the gate is increased.

In general, there are two factors influencing the intensity of electric field at the tip of the emitter. The one is the sharpness of the tip of the emitter and the other is the distance between the gate and the tip of the emitter. Since the electric-field intensity is more greatly dependent on the sharpness of the tip of the emitter, the above approach can

be effectively used. Accordingly, this approach makes it easier technically and economically to form a large-area array of electron emission elements. Such an approach is classified into two types.

One type of approach relates to a method of providing an electric-field concentration structure. For example, Japanese Laid-open Patent Application No. Hei-8-329823 discloses such a structure that an infinite number of columnar crystals of beta type tungsten are grown in the opening portion of the gate and electrons are emitted from the pointed portions of the respective crystals.

The other type of approach uses materials having small work function or small electron affinity. This method enables electron emission from a film having no discrete pointed portions. In general, as the work function or the electron affinity is reduced, the field emission is more likely to occur. Semiconductor materials having a broad band gap of about 5 electron volts or more can be used as materials having especially excellent characteristics for such a film. For example, as these materials are known diamond, boron nitride of cubic or hexagonal system, lithium fluoride, calcium fluoride or the like which have extremely low electron affinities.

For these materials, it has been confirmed or suggested that generally, the lowest energy levels of the conduction bands of these materials are lower than the vacuum level compared to the energy state of electrons under vacuum; however, they are nearly equal to the vacuum level within the range from 0.1 to 0.5 eV, or even higher than the vacuum level in some crystal face directions. These materials are called as "negative electron affinity (NEA) materials" or "quasi negative electron affinity materials" (for example, J. Vac. Sci. Technol. B13(1997)1733).

Each of these materials has such a property that electrons are emitted to the vacuum without strong electric field at the interface between the material and the vacuum because of its negative electron affinity (NEA) property. This effect is realized by forming a conduction passage based on doping, defect/hydrogen termination or the like on the surface of the material or in the bulk thereof and then injecting electrons into the conduction band.

There has also been reported an experimental result suggesting that electric-field electron emission occurs from a conductive microstructure formed in the bulk or on the surface (for example, Science 282(1998)1471). However, in this case, the electron emission does not necessarily occur from the conduction band unlike the electron emission based on NEA. But the electron emission occurs from local levels due to defects or the like existing between the bands or from the valence band. Therefore, the electron emission are not necessarily induced by a mechanism which positively utilizes small electron affinity.

However, most of these materials have excellent characteristics in surface chemical stability and thermal conductivity, and thus the field emission characteristic thereof is less sensitive to the variation of the surface state and thus more stable as compared with the field emission from the metal surface of Mo or the like.

An electron emission element using a projecting structure of metal material does not stably operate under a normal condition unless it is kept under an atmosphere of 10^{-7} torr or less because its characteristic is very sensitive to the surface state. On the other hand, it has been suggested that an electron emission element using diamond or boron nitride can stably operate even under a low vacuum condition of about 10^{-5} torr (J. Vac. Sci. Technol. B16(1998)1207).

Two methods, a film formation method using vacuum deposition and a method using line particles of NEA material arc known for manufacturing an electron emission element using the above NEA material/quasi NEA material (hereinafter collectively referred to as "NEA material").

Various methods such as a plasma CVD method, a hot filament CVD method, a filtered cathode arc method (FCVAD), a laser application method, etc. have been reported as the vacuum deposition method for diamond, boron nitride of cubic system which are representative NEA materials. The films produced by these methods exhibit polycrystalline structure but, however, are relatively excellent in local uniformity in crystal grain.

Conversely, when the electron emission element is applied to an electron source used for a large-size electron exciting type flat panel display (FED), a large-size film forming apparatus, typically a vacuum chamber, is needed and this causes increase of the cost. This is because the size of the film which can be formed is limited by the size of the film forming apparatus.

Further, the vapor-deposited film of diamond or the like has a large in-film stress and thus it is liable to be peeled off after the film forming process, which induces a practical problem.

These problems can be avoided by using minute crystal grains of sub micron size in place of the vapor deposition film. For example, the sub micron size minute crystals of boron nitride of cubic system are industrially produced for an application to polishing particles for polishing, and they are moderate in cost, so that this method is practical for forming a large-area electron emission element array.

The structures and manufacturing methods of longitudinal type electron emission elements using such minute particles have been reported/developed in J. Vac. Sci. Technol. B14 (1996)2060, U.S. Pat. No. 5,019,003, Japanese Laid-open Patent Application No. Hei-8-241665, Japanese Laid-open Patent Application No. Hei-8-77916, Japanese Laid-open Patent Application No. Hei-10-92294 and Japanese Laid-open Patent Application No. Hei-10-92298.

J. Vac. Sci. Technol. B14(1996)2060 discloses the following technique. According to this technique, an emitter line layer (4002), an insulating film (4001) and a gate film (4003) are deposited on a substrate, and plural holes are formed so as to pierce through the gate film and the insulating film. Further, diamond fine particles (particle diameter of about 1 μm) doped with nitrogen are etched to roughen the surfaces thereof, and then dispersed and pasted onto the conductive matrix. Thereafter, the paste (4005) thus obtained is filled into the holes on the substrate by a squeegee (4004) to form an electron emission element as shown in FIG. 7. However, the emitter line layer and the gate film of the element thus formed are structurally liable to be short-circuited by a conductive base material and thus it is low in reliability.

The specification of U.S. Pat. No. 5,019,003 discloses an emitter having such a structure that a plurality of fine particles (diameter of 1 μm) are fixed on a substrate 100 by binding agent 101 as shown in FIG. 8. This structure is characterized in that the sharp corners of the fine particles project from the binding agent. Conductive fine particles 201 or insulating fine particles 203 covered by a conductive film 202 may be used as the fine particles. Mo, TiC or the like may be used as the conductive material. The specification of this patent also discloses the arrangement of a gate and anodes for extracting electrons to constitute an electron emission element. In this arrangement, plural fine particle

emitters 201 provided on the substrate are covered by an insulating film 409 and gates 401 are arranged on the insulating film 409 as shown in FIG. 9. Further, an insulating film 402 is disposed on the gates 401, and a transparent face plate 404 having a function as an anode electrode and a phosphor layer 403 are disposed on the insulating film 402.

In reality, however, it is not easy to uniformly provide plural fine particles over a large area by the method as disclosed in the above U.S. patent. In order that lots of electrons are emitted, the sharp corners of the fine particles are put face sides up. However, the probability that the sharp corners of the line particles are put face up is not high, and most of particles do not function as emitters.

In general, the distribution of such parameters as geometric enhancement factors among respective electron emission elements results in much broader distribution of the electric-field/current density characteristics, due to the non-linearity of the field emission. Particularly in a case where an application of the electron emission elements to a display is assumed, the characteristics must be uniform among pixels when the elements are added with gates and fabricated as an array.

Accordingly, it is required that plural electron emission elements constituting pixels should have substantially the same characteristic distribution among the pixels. Therefore, in order to make the characteristic distribution uniform among the pixels, it is necessary that a lot of electron emission elements are contained in each pixel so that the averaging effect can be sufficiently exhibited.

When the size of each pixel is equal to about several hundreds mm square, the maximum number of gate opening portions which can be placed within each pixel is equal to several thousands. However, if the fraction of electron emission elements which do not operate due to unevenness of the arrangement and direction of fine particles is not sufficiently low, the averaging effect is remarkably lowered to the extent that it causes non-uniformity of display which is not allowed in a display.

In addition, the fine particle emitters 201 are located underneath the insulating film in the structure shown in FIG. 9, so that dielectric breakdown is liable to occur in this structure. The thickness of the insulating film must be increased to achieve a sufficient withstand voltage, and thus the operating voltage rises up.

The Japanese Laid-open Patent Application No. Hei-8-241665 also discloses electrode emission elements using fine particles having the same structure. However, this publication uses as the fine particle material diamond particles activated by hydrogen plasma. The fine particle material of this publication has no specific direction in which electrons are more liable to be emitted, and electron emission occurs from many fine particles. Further, the particle diameter is small (ranging from 10 to 300 nm), so that a large number of fine particles can be placed within an unit area and the averaging effect can be effective. In the structure shown in FIG. 10, a plurality of diamond particles 53 are disposed on a conductive surface 52 provided on a substrate 51, and mask particles 62 are disposed on the diamond particles 53. Thereafter, an insulating film 60 and a gate film 61 are deposited while the mask particles 62 function as masks. This structure still has the problem in dielectric breakdown, and any method of forming a fine particle film uniformly is disclosed.

In the case of the Japanese Laid-open Patent Application No. Hei-8-77916, an emitter line layer 932 is disposed on a substrate 901 and a conductor 940 containing emitter fine

particles 938 is disposed on the emitter line layer 932 through a conductive spacer layer 936 as shown in FIG. 11. The conductor 940 is formed by combining a deposition method such as a sputtering method. An insulating layer 914b and a gate film 907b are provided so as to surround the conductor 940 containing the emitter fine particles.

In this structure, the reliability of the insulating film is improved because the emitter material does not extend into underneath the insulating film unlike the structure described above. However, the deposition process and the patterning process are used to form electron emission elements, and thus the size of the array of the electron emission elements which can be fabricated is limited by the size of a deposition apparatus and an exposing apparatus as in the case of the Spindt method.

Further, according to the method disclosed in this publication, some portions of the insulating film and the gate film which are located above the electron emission portions are removed by using lift-off of the resist when the insulating film and the gate film are disposed. However, it is technically difficult to perform this method because the sum of the film thickness of the insulating film and the gate film is close to 1 μm. Therefore, the yield is low and this method is unsuitable for manufacturing a large-area electron emission element array.

In the case of the Japanese Laid-open Patent Application No. Hei-10-92294, an insulating layer 1003 and a gate electrode line 1004 are disposed on a lower substrate 1001 and a cathode electrode line 1002. Further, an opening portion 1005 is provided and fine particle emitter material is injected from a nozzle into the opening portion 1005 together with high-pressure gas to form a thin film 1007. In this method, however, it is difficult to adjust the amount of fine particles deposited in the opening portion and non-uniformity of display is liable to occur when the electron emission elements thus formed are applied to a display. In addition, the gate and the emitter are liable to be short-circuited in the process of forming the electron emission element.

The common problem in the examples of the electron emission elements using the fine particles described above resides in that when these elements are applied to a display, it is required that the maximum amount of current emitted from the electron emission elements within each pixel cannot be limited. This requirement must be satisfied to suppress occurrence of unevenness in brightness. Accordingly, it is required that an element for limiting the maximum current is installed in each pixel, preferably in each electron emission element. However, any conventional technique described above does not install any structure for limiting the current.

An electron emission source and a display device using the electron emission source disclosed in Japanese Laid-open Patent Application No. Hei-10-92298 are known as a display device using electron emission elements, for example, an extremely thin type display device. The electron emission source and the display device described above will be described with reference to FIGS. 13 and 14.

In the conventional electron emission source, a plurality of stripe-shaped cathode electrode lines 5002 are formed on the surface of a lower substrate 5001 formed of glass material, and a thin film 5007 of material having a small work function is formed on these cathode electrode lines 5002. Further, an insulating film 5003 is formed on the thin film 5007, and a plurality of stripe-shaped gate electrode lines 5004 are formed on the insulating layer 5003 so as to

cross the respective cathode electrode lines 5002. The cathode electrode lines 5002 and the gate electrode lines 5004 are formed in a matrix structure. Each cathode electrode line 5002 and each gate electrode line 5004 are connected to control means 5015 to control the driving operation thereof.

In each cross area between the cathode electrode line 5002 and the gate electrode line 5004, a lot of substantially circular holes 5005 are formed so as to pierce through the gate electrode line 5004 and the insulating layer 5003 and extend to the thin film 5007, and the thin film 5007 at the bottom portions of these holes 5005 form a cold cathode.

FIG. 14 shows a display device using this electron emission source. The display device 5020 comprises an electron-emission member having a number of electron emission sources 5012 arranged so as to constitute a display screen, and an upper substrate 5028 disposed so as to be spaced from the electron-emission member at a predetermined interval in the electron emission direction. Stripe-shaped luminescent plates 5029 coated with phosphor which are arranged in parallel to the gate electrode lines 5024 are formed on one surface of the upper substrate which faces the electron emission sources 5012. The gap between the electron emission sources 5012 and the luminescent plate 5029 are kept under vacuum.

Next, the driving operation of the display device 5020 thus fabricated will be described. When the control procedure selects one of the cathode electrode lines 5022 and one of the gate electrode lines 5024 and applies a predetermined voltage across them, electrons are emitted from the electron emission source 5012 at the cross area between them. Further, the electrons are accelerated by a voltage applied across the cathode electrode line 5022 and the upper substrate 5028 serving as the anode, and hit the phosphor on the luminescent plate 5029 to emit visible light, thereby forming an image.

The cross area between the cathode electrode line 5002 and the gate electrode line 5004 constitutes a capacitor using an insulating layer as a dielectric layer. The electrostatic capacitance (parasitic capacitance) Q of the capacitor is represented as follows:

$$Q = \epsilon_0 \epsilon_r A / d \quad (1)$$

ϵ_0 : the permeability of vacuum

ϵ_r : the permeability of the insulating layer

A: the area of the cross area

d: the thickness of the insulating layer

Therefore, the power W consumed at the capacitance portion under the driving operation is represented as follows:

$$2W = 2f/V^2 \quad (2)$$

f: driving frequency

V: driving voltage between gate and emitter

In a conventional light emitting element and a display device using the light emitting element, SiO_2 is generally used as the material of the insulating layer 5003. The dielectric constant of the SiO_2 thin film formed by CVD or the like is equal to about 4.3, and the parasitic capacitance expressed by the equation (1) is increased to the extent that it cannot be ignored, so that the consumption power of the display device is increased. Further, the thickness of the insulating layer must be increased to suppress the parasitic capacitance within a permissible range, and thus there occurs such a problem that the distance between the gate and the emitter must be increased, resulting in increase of the driving voltage.

As described above, in the conventional electrode emission elements, the structure of the element is simplified by forming the electron emission element of fine particle material, and a high-cost vacuum film forming process can be replaced by a non-vacuum process. However, the conventional techniques have such problems that the reliability of the insulating film cannot be sufficiently ensured from the structural viewpoint and the short-circuiting between the gate wire and the emitter wire occurs.

Furthermore, the conventional techniques have a problem in that the current flowing in each emitter is not limited because the uniformity of display must be kept when the electron emission elements are applied to a display. In addition, there has not been achieved any method which can suppress occurrence of unevenness/defects over a large area without using a vacuum process and uses fine particles uniformly.

SUMMARY OF THE INVENTION

Therefore, an object of the present invention is to provide an extremely thin type display device with large picture forming area and long lifetime which can be operated with a low voltage.

According to the present invention, there can be implemented the structure of electron emission elements which has high reliability of insulation between a gate film and an emitter film and has a function of limiting the amount of current emitted from each emitter. Further, a number of the elements can be uniformly manufactured over a large area by using a non-vacuum process.

According to the structure of the electron emission element and the manufacturing method of the electron emission element of the present invention, there can be manufactured an electron emission element array which limits the emission amount of electrons from each emitter and has a uniform characteristic over a large area. Further, electron emission elements using lots of fine particles can be formed over a large area with suppressing occurrence of unevenness/defects by using the non-vacuum process. In addition, the short-circuiting between the gate wire and the emitter wire can be suppressed in the formation process of the electron emission elements.

According to the present invention, there can be achieved a sufficient current limiting effect which is inherent to a resistance layer comprising an insulator and a conductor dispersed in the insulator. Accordingly, when electron emission elements using fine particles are applied to a large-scale display, unevenness of display and occurrence of pixel defects can be effectively suppressed.

Furthermore, by applying the formation method of the elements to an electrophoresis method, the resistance layer and the fine particle layer can be uniformly and selectively deposited on the emitter wire within the gate opening portion, so that the short-circuiting between the gate and the emitter can be suppressed and the reliability of the operation can be remarkably enhanced.

The present invention provides a field emission element comprising: a board; a cathode layer formed on said board; an insulating layer formed on said cathode; a gate layer formed on said insulating layer; a resistance layer formed on said cathode in an opening of said insulating layer and said gate layer, said resistance layer consisting of conductive particles and resistance particles; and an emitter layer formed on said resistance layer, said emitter layer consisting of particles.

The present invention also provides a field emission display comprising: a board; a cathode layer formed on said

board; an insulating layer formed on said cathode; a gate layer formed on said insulating layer; a resistance layer formed on said cathode in an opening of said insulating layer and said gate layer, said resistance layer consisting of conductive particles and resistance particles; an emitter layer formed on said resistance layer, said emitter layer consisting of particles; an anode layer opposite said board; and a luminescent layer on said anode layer.

Further, the present invention provides a method for manufacturing a field emission display comprising: forming a cathode layer on a board; forming an insulating layer on said cathode; forming a gate layer on said insulating layer; forming an open in said insulating layer and said gate layer; forming a resistance layer on said cathode in said open by electrophoresis, said resistance layer consisting of conductive particles and resistance particles; and forming an emitter layer on said resistance layer by electrophoresis, said emitter layer consisting of particles.

BRIEF DESCRIPTION OF THE DRAWINGS

FIG. 1 is a schematic diagram showing an example of the structure of an electron emission element of the present invention;

FIGS. 2(a) and 2(b) are schematic diagrams showing a method of forming a resistance layer and a fine particle emitter layer in the electron emission element of the present invention;

FIG. 3 is a graph showing the relationship between the fluorine concentration and the dielectric constant in SiO_2 thin film containing fluorine in the present invention;

FIG. 4 is a schematic diagram showing an application of the electron emission element of the present invention;

FIG. 5 is a diagram showing the crossing portion between an emitter layer and a gate line layer of the present invention;

FIG. 6 is a cross-sectional view schematically showing a part of a display device of the present invention;

FIG. 7 is a partially cross-sectional view showing a conventional electron emission element and a method of forming the electron emission element;

FIG. 8 is a cross-sectional view showing another conventional electron emission element;

FIG. 9 is a cross-sectional view showing another conventional electron emission element;

FIG. 10 is a partially cross-sectional view showing another conventional electron emission element;

FIG. 11 is a cross-sectional view showing another conventional electron emission element;

FIG. 12 is a cross-sectional view showing a conventional display device;

FIG. 13 is a perspective view showing a conventional emission source; and

FIG. 14 is a perspective view showing a conventional display device.

DETAILED DESCRIPTION OF THE PREFERRED EMBODIMENTS

Electron Emission Element

A preferred embodiment of an electron emission element of the present invention will be described.

FIG. 1 is a schematic diagram showing an example of the structure of an electron element of the present invention. In FIG. 1, reference numeral 1 represents a substrate, reference

numerical 2 represents a cathode electrode line layer, reference numeral 3 represents a resistance layer, reference numeral 4 represents an emitter line particle film, reference numeral 5 represents an insulating layer, reference numeral 6 represents a gate wiring layer and reference numeral 7 represents an opening portion.

The substrate 1 is formed of any material selected from the group consisting of a laminate obtained by casting an insulating film of SiO_2 or the like on the surface of quartz glass, Pyrex glass, soda lime glass or stainless, an aluminum plate coated with a barrier type anode oxidizing film and Si wafer. When an application to a display is assumed, it is preferable that the material is hardly deformed and has a thermal expansion coefficient near to the front plate of the display, and it is suitably selected in consideration of factors such as cost, etc.

An emitter line layer 2 is formed on the substrate 1. In general, conductor materials can be used as the material of the emitter line layer 2. For example, it may consist of metal such as Ni, Cr, Cu, Au, Pt, Ir, Pd, Ti, Al, Mo, W or the like, or alloy thereof, and preferably it may be formed of a material having low resistance, high thermal conductivity and high melting point. The film thickness of the emitter wire layer 2 is set to about 100 nm to 50 μm , preferably about 500 nm to 20 μm . The emitter wire layer 2 is formed by a deposition method such as a sputtering method or the like, preferably by a printing method or a plating method.

An insulating layer 5 and a gate line layer 6 are provided on the emitter line layer 2, and an opening portion 7 is partially provided. A film of SiO_2 , Al_2O_3 , MgO , Ta_2O_5 or the like may be used for the insulating film 5, and it is formed by various methods such as a vacuum-deposition method (a sputtering method, etc.), a liquid-phase growth method (LPD method, etc.), an anodizing method, etc. Of these methods, the LPD method can provide insulating films conveniently by liquid phase growth. Therefore, the SiO_2 film formed by the LPD method is preferably used. Even when no film can be formed on the emitter line layer 2 due to selectivity of a back film under use of the LPD method, the LPD method can be applied by forming the back film of SiO_2 in advance with a CVD method or the like.

A conventional conductor material can be used for the gate line layer 6. The film thickness thereof is set to about 100 nm to 5 μm , preferably about 200 nm to 1 μm . As in the case of the emitter line layer, it may be formed of metal such as Ni, Cr, Cu, Au, Pt, Ir, Pd, Ti, Al, Mo or W, or alloy thereof. Preferably, a material having low resistance, high thermal conductivity and high melting point may be selectively used, and the deposition method such as the sputtering method or the like, preferably the print method or the plating method can be used. It is necessary to pay attention to adhesiveness of the back film. When sufficient adhesiveness to the back film is not achievable, it is preferable to form an extremely thin film of metal of Ti or Cr between the gate wiring layer 6 and the back film as an adhesive layer. In place of use of the adhesive layer, the surface of the insulating film can be made sufficiently hydrophobic by using an anneal treatment under hydrogen atmosphere.

The opening portion 7 penetrating through the gate wiring layer 6 and the insulating layer 5 is substantially circular. The diameter thereof ranges from 200 nm to 10 μm , and preferably within the range from 500 to 2 μm . The opening portion 7 can be formed by a patterning treatment after the insulating layer 5 and the gate wiring layer 6 are formed. A sacrificial layer which is formed before the insulating layer 5 and the gate wiring layer 6 are formed and dissolved after

the gate wiring layer 6 is formed is provided in advance, and lift-off procedure is carried out.

The resistance layer 3 and the emitter line particle layer 4 are provided in the opening portion. In the resistance layer 3, conductive fine particles 3b may be dispersed in an insulating base material 3a. Inorganic materials such as SiO₂ or the like, organic materials such as Teflon or the like may be used as the insulating base material 3a. Of these materials, fine particle material of polyimide is preferably used. The particle diameter is preferably equal to 5 nm to 500 nm, more preferably to 5 nm to 50 nm. The organic materials such as polyimide or the like are remarkably liable to adsorb water, and desorbs the water thus adsorbed under the vacuum. Therefore, it is generally unsuitable for the use under the vacuum. However, the amount of the organic material used in the structure of the present invention is extremely small, and it is practically usable without any obstruction. Particularly when the organic particles are used, they are preferably used after subjected to a sufficient gas discharging process.

General metal material or carbon-based material may be used for the conductive fine particles 3b. When polyimide fine particles are used for the insulating base material 3a, the carbon-based material is more preferable because it can be more uniformly dispersed in the base material. As the carbon-based material may be used graphite fine particles, amorphous carbon fine particles, fullerenes, carbon nanofiber, graphite nanofiber or the like.

Diamond particles or fine particle materials having extremely small electron affinity such as boron nitride of cubic system (c-BN), boron nitride of hexagonal system (h-BN), aluminum nitride (AlN), etc. may be used for the fine particle emitters 4 used in the present invention. Further, fine particle materials of oxide material such low work function materials as CeO₂, Ho₂O₃ or carbides such as HfC, ZrC, SiC or the like may be used.

The particle diameter of these fine particle materials is set to 5 nm to 500 nm, preferably ranging from 5 nm to 50 nm.

It is preferable that the diamond fine particles or fine particle materials of boron nitride of cubic system (c-BN), boron nitride of hexagonal system (h-BN) or aluminum nitride (AlN) are subjected to an activating treatment before they are used. In the case of diamond, it is preferably subjected to a hydrogen plasma treatment, or an oxygen plasma treatment and a hydrogen annealing treatment. In the case of c-BN and h-BN, it is preferable that they are subjected to the hydrogen plasma treatment, the oxygen plasma treatment and the hydrogen annealing treatment, or the hydrofluoric acid treatment. In the case of AlN, it is preferably subjected to the hydrogen plasma treatment, the oxygen plasma treatment and the hydrogen annealing treatment, the hydrofluoric acid treatment or an alkali treatment. These materials are preferably doped into n-type or p-type, and more preferably doped into n-type.

In the case of diamond, it is preferable that substitutional nitrogen doping is conducted, and in the case of c-BN, it is preferable that sulfur-doping is conducted.

Next, the method of manufacturing the electron emission element according to the present invention will be described with reference to FIGS. 2(a) and 2(b). FIGS. 2(a) and 2(b) are diagrams showing a method of forming the resistance layer 3 and the fine particle emitter layer 4. The reference numerals 1 to 7 used in FIGS. 2(a) and 2(b) correspond to those of FIG. 1. Reference numeral 21 represents a counter electrode used in the film forming process, reference numeral 22 represents dispersing solvent for the fine particle

material, reference numeral 24 represents voltage applying means used in the film forming process, and reference numeral 23 represents the interval between the counter electrode and the substrate of the electron emission element. Not shown is the container in which the above elements are placed.

In the present invention, both the resistance layer 3 and the fine particle emitter layer 4 are preferably deposited and formed by electrophoresis, and thus the arrangements in FIGS. 2(a) and 2(b) are the same. The spacing 23 between the counter electrode and the substrate of the element, the dispersing solvent 22 and the voltage to be applied by the voltage applying means 24 are determined in consideration of the conditions described below.

That is, electrophoresis is a technique of immersing a pair of electrode plates facing each other in solvent and applying a voltage between the electrode plates. Here, the fine particles are dispersed in the solvent, and the dispersing solvent is insulating. The fine particles are attracted to one electrode plate and deposited thereon by the voltage applied across the electrode plates. The application of the voltage induces electric field in the solvent, and the charged fine particles are moved by the electric field. Normally, the material is charged in solvent due to the effect of ζ potential owned by the material itself; however, the amount of charge the charged material carries is insufficient to perform the electrophoresis. Therefore, the fine particles are usually artificially charged by adding metallic salt into the solvent, and zirconium naphthenate, magnesium naphthenate or the like may be used as the metallic salt.

The condition that electrophoresis occurs is dependent on the dielectric constant of the solvent, the dielectric constant of the fine particles, the mobility of the fine particles in the solvent and the charge of the fine particles; the intensity of electric field needed to induce electrophoresis is equal to about 1000 V/mm.

Here, it is noted that the term electrophoresis is often confused with dielectrophoresis. Dielectrophoresis is a technique which does not move charged fine particles by applying electric field, but moves polarized fine particles by the grade of electric field. Accordingly, an alternating electric field is usable in dielectrophoresis, and the intensity of electric field may be set to about 1 V/mm. Both electrophoresis and dielectrophoresis are described in detail in "Encyclopedia of Science and Technologies" issued by Nikkan Kogyo Shinbun Co., Ltd. (1996) and in other papers.

Accordingly, in order to use the film forming method for the resistance layer and the fine particle film by using electrophoresis, it is sufficient to set the ratio of the voltage (V) and the interval (mm) between the counter electrode and the element substrate to about 1000 V/mm. Preferably, the voltage ranges from 100 V to 500 V, and the spacing ranges from 100 μm to 500 μm. For example, when the voltage applied across the counter electrode and the element substrate is set to 150 V, the distance between the two may be set to 150 μm.

In the method of forming the electron emission element of the present invention, the resistance layer 3 is first formed by electrophoresis as shown in FIG. 2(a). At this time, insulating organic solvent may be used as the dispersing solvent and, for example, isoparaffin is preferable.

In this case, the mixture of insulating base material and conductive fine particles which are mixed in a ratio of (insulating base material): (conductive fine particles)=100:1 to 100000:1 is dispersed in solvent so that the weight ratio of (insulating material+conductive fine particles) in the

solvent is equal to about 10 to 0.1%. Further, metallic salt is dissolved in solvent in a weight ratio of about 1 to 0.01%.

When a voltage is applied across the counter electrode 21 and the emitter wire 2 by the voltage applying means 24, the charged fine particles are moved to induce current flow, and the current thus induced is gradually reduced. Here, the positive/negative sign of the voltage thus applied is dependent on the positive/negative sign of the charges of the charged fine particle materials. When the metallic salt is added, the fine particles are charged positively, and thus the bias voltage is applied so that the emitter wire 2 is negative. Only a small amount of salt adheres to the particles, having little effect on the character of the particle. When the current is sufficiently reduced, the application of the voltage is stopped.

Further, it is preferable to add a step of applying a positive bias across the gate layer 6 and the counter electrode 21 immediately after the application of the voltage is stopped, thereby removing the resistance layer deposited on the gate layer. It is further preferable that means for applying ultrasonic wave is installed in the arrangement of FIG. 2(a) in order to keep dispersion of the fine particles.

It is still further preferable that after the resistance layer 3 is selectively deposited on the emitter line layer in the opening portion 7 by the above method, an anneal treatment is carried out under vacuum or an inert atmosphere. The anneal temperature is preferably set between about 200°C. to 400°C.

The resistance layer 3 is formed to a thickness of about 200 nm to 500 nm as described above.

Finally, the fine particle emitter film is deposited as shown in FIG. 2(b). The film forming method at this time is the same as the film deposition method of the resistance layer described above. However, the fine particle emitters 4 are dispersed in the solvent. The film thickness of the fine particle emitter film thus formed is preferably set to the level of about one layer to two layers.

Display Device

A display device of the present invention includes a first substrate on which cathode electrode lines, an emitter layer, an insulating layer and gate electrode lines crossing the cathode electrode lines are formed in this order, and a second substrate which comprises an anode wiring layer and a phosphor layer and is disposed away from the first substrate through vacuum so as to confront the first substrate. Here, the display device is characterized in that the insulating layer on the first substrate is formed of an SiO₂ film containing fluorine.

In the present invention, since the insulating layer of SiO₂ on the first substrate preferably contains fluorine, an insulating layer having a remarkably low dielectric constant can be achieved. The dielectric constant of an SiO₂ film formed by a normal thin film forming method which is represented by the chemical vapor deposition method (CVD) or the high-frequency sputtering method is equal to about 4.3. On the other hand, the dielectric constant of the insulating layer of the present invention is equal to 4.0 or less.

FIG. 3 shows the relationship between the concentration of fluorine and the dielectric constant of the SiO₂ film formed by the liquid phase deposition method. As shown in FIG. 3, the dielectric constant is reduced as the fluorine content increases.

Upon estimating the dielectric constant required to the insulating layer, in the case of a conical type emitter in a

diode-type structure having parallel flat plates, about 1000 μm is required as the electric field between the emitter and the gate which induces electron emission sufficient to excite the phosphor on the face plate.

Further, when the cold cathode is formed of fine particles like the present invention, the electric field is concentrated more locally as compared with the parallel flat plate structure, and the intensity of the concentrated electric field is about 100 times as large as the conical type emitter. Accordingly, the minimum electric field which is actually required between the gate and the emitter is estimated to be one hundredth of 100V/μm, that is, 10V/μm.

In order to use this display device as a wall-mounted television for households, the consumption power is required to be less than 200W, and the driving voltage between the gate and the emitter must be reduced down to 100V or less. In order to apply 10V/μm to the emitter provided in the gate when the voltage between the gate and the emitter is equal to 100V, about 1 μm or less is needed to be set. These values are examples, and they are actually dependent on the structure between the gate and the emitter.

From the viewpoint of the power consumption efficiency, the parasitic capacitance between the gate and the emitter is required to be equal to about 5 pF or less per pixel. This means that the parasitic capacitance is equal to 1.67 pF per dot for the following reason. When a display is driven, the charging/discharging of the parasitic capacitors is carried out in each pixel. Under the condition that the number of pixels is equal to about 2000x1000x3 and the rewriting frequency per second is equal to about 100 times, the number of parasitic capacitors which are charged/discharged per second is equal to about 6x10⁸ at maximum. When 100V is applied to each parasitic capacitor to charge the parasitic capacitor, the energy required to charge/discharge each parasitic capacitor once is equal to 5000eQ joules, where Q represents the parasitic capacitance of each parasitic capacitor. Therefore, the power consumed by the parasitic capacitors is equal to 3x10¹³. If the total power consumption is below 200W, the power consumption by the electrostatic capacitance can be suppressed to about 10%. Accordingly, the electrostatic capacitance at each dot is equal to 20/3x10¹³ (about 5 pF). Assuming that the space between the pixels is equal to 3.5 μm, the size of each dot is equal to 415 μm² and the area is equal to 4.77x10⁻⁸ m². From the equation and the following equation: A=4.77E-8m², Q<1.67 pF,

$$\epsilon/d = 3.95 \times 10^9 m^{-1} \quad (3)$$

where ϵ represents the dielectric constant required of the insulating layer. Since the distance between the gate and the emitter which is required to induce emission of the electrons is equal to 1 μm at maximum, by using $d=10 \times 10^{-6} m$,

$$\epsilon < 3.95 \quad (4)$$

The low dielectric constant expressed by equation (4) is not achievable by the normal SiO₂ film, and it can be achieved by adding fluorine to the SiO₂ film. From the equation (4) and FIG. 3, it is preferable that the concentration of fluorine contained in the SiO₂ film is equal to 2% or more.

Next, an embodiment of an electron emission element according to the present invention will be described.

The basic construction of the electron emission element used in the display device is the same as shown in FIG. 1.

FIG. 4 shows the structure of a display device to which the present invention is applied. In FIG. 4, reference numeral 31 represents a face plate, reference numeral 32 represents an

anode electrode for accelerating electrons emitted from the electron emission elements, reference numeral 33 represents a phosphor, reference numeral 34 represents an exhaust pipe, reference numeral 35 represents a spacer for supporting the outside air pressure, reference numeral 36 represents a getter for adsorbing residual gas, and reference numeral 37 represents a focus electrode for focusing electron beams onto pixels. The reference numerals 1 to 7 are the same as used in FIG. 1. That is, reference numeral 1 represents a substrate, reference numeral 2 represents a cathode wiring layer, reference numeral 3 represents a resistance layer, reference numeral 4 represents an emitter fine particle film, reference numeral 5 represents an insulating layer, reference numeral 6 represents a gate line layer and reference numeral 7 represents an opening portion.

The first preferred embodiment of a method of manufacturing an electron emission element array according to the present invention will be described.

(Step 1)

There is prepared a rectangular Pyrex glass substrate 1 of 14 inches in diagonal length and about 5 mm in thickness, whose surface is roughened by a plasma treatment. Usually, a laterally elongated screen (having long sides in the lateral direction and short sides in the longitudinal direction) is formed. In this embodiment, a laterally elongated screen will be described; however, the direction of the screen and the direction of the emitter lines 2 on the screen may be suitably selected.

The emitter line layers 2 are formed with intervals of about 450 μm in a direction perpendicular to the long-side direction of the substrate 1, that is, in the longitudinal direction. However, a margin for leading out lines is provided in a 2-inch area at the outside of the emitter line 2 which is located at each of both the ends of the short sides, that is, both the lateral edge portions of the substrate 1. The patterning is carried out so that nothing is formed on these margins. The width of the emitter wires 2 is set to about 350 μm .

The emitter lines 2 are formed as follows. First, a PVA (poly-Vinyl-Alcohol) film is coated on the substrate 1, and the patterning using ultraviolet-ray irradiation is carried out with an exposing mask, whereby a mask is formed on a portion at which no emitter line 2 will be formed. Subsequently, an Ni film of about 50 nm is grown by electroless plating. At this time, the patterning precision is set to about 15 μm . Then, the PVA film is subjected to lift-off.

The Ni film formed by the electroless plating is subjected to electrolytic plating as an electrode to grow an Au film of about 1 μm on the Ni film.

(Step 2)

The SiO_2 film 5 is grown at a thickness of about 1 μm by using the LPD (Liquid Phase Deposition) method. The LPD film thus grown may contain lots of particle defects. However, if the density of the defects is equal to about 1000/cm², no serious problem occurs practically. In the prototype, the film formed on Au is slightly cloudy with black; however, it has a breakdown voltage in excess of 100 V/ μm . This value is large enough to the extent that it does not obstruct practical use. The SiO_2 film 5 conformally covers the step portions of the Au—Ni wiring line layers, so that there exists no exposed portion of Au.

(Step 3)

Pd electrolytic plating is conducted on the SiO_2 film 5 to form a Pd film of about 30 nm, and then an Ir film is grown at a thickness of about 200 nm by the electrolytic plating, thereby forming the gate film.

(Step 4)

Subsequently, the gate film is subjected to patterning in the long-side direction of the substrate, that is, in the lateral direction to form the gate wires 6. The emitter wires 2 and the gate lines 6 are arranged so as to cross each other in the vertical direction. The pitch of the gate wires 6 is set to about 150 μm , and the width of each gate line 6 is set to about 110 μm . A margin for leading out the lines is provided in a 2-inch area at each of both the long-side edge portions, that is, the upper and lower ends of the substrate. The patterning is carried out so that no gate line 6 is formed on the margin portions. The patterning precision is set to about 15 μm for the emitter lines.

As in the case of the step 1, the patterning is carried out by using photo-polymerization of PVA. In this case, PVA is coated on only the gate wires 6, and the remaining exposed portion is removed by etching.

(Step 5)

Subsequently, another patterning treatment is carried out to form a substantially circular opening portion 7 at the crossing portion between each emitter line 2 and each gate line 6 so that the opening portion 7 pierces through the gate layer 6 and the insulating layer 5.

There are two reasons for performing the above patterning treatment separately from the patterning treatment for the gate layer 6. One reason resides in that since the diameter of the opening portion is equal to about 1 μm , it is necessary to use patterning means which has an optical resolution of about 1 μm . The other reason resides in that the opening portions 7 are not necessarily provided at a fixed interval on the crossing portion between the emitter line 2 and the gate line 6, and it is sufficient if the opening diameter is uniform and substantially the same number of opening portions are arranged on each crossing portion. Optical lithography or a patterning treatment using a phase-separation structure of polymer may be used as the patterning method having such a resolution.

The phase separation structure of polymer is defined as the following phenomenon. Two different polymers A and B are mixed with each other. When the mixture is heated up to a sufficiently higher temperature than the glass-transition temperatures of both the polymers A and B, the mixture segregates into two portions, one portion where the concentration of the polymer A is higher and the other portion where the concentration of the polymer B is higher. In this case, there appears such a structure that a lot of "islands" where the concentration of the polymer B is higher are dispersed in the "sea" where the concentration of the polymer A is higher, *vice versa*. The size of "islands" thus formed is almost equal to about 1 μm in diameter because of thermodynamic stability, so that this method is suitable for the patterning of the opening portion 7.

In this embodiment, the crossing portions between the gate lines 6 and the emitter lines are protected by the patterning of resist (produced by Tokyo Applied Chemistry Company: OFPR800, 100 cp).

Further, a polymer A insoluble in developing liquid (IPA: isopropyl alcohol) and a polymer B soluble in the developing liquid are mixed and solved at a mixing ratio of 7:3 in an organic solvent (PGMEA: propylene glycol mono-ethyl ether acetate). For example, PS (polystyrene, produced by Sanyo Applied Chemistry Company, molecular weight of 2100) may be used as the polymer A, and PNBM (propylene glycol mono-ethyl ether acetate) may be used as the polymer B.

This solution is coated on the substrate by a doctor blade method. The film thickness when the organic solvent is vaporized is equal to about 4 μm just above the gate lines 6.

Subsequently, the whole substrate is heated up to about 130° C., and subjected to an annealing treatment under a nitrogen gas atmosphere for four hours. After the annealing treatment, the substrate is cooled to the room temperature. At this time, "island" structures 9 of about 1 μm in diameter which mainly contain the alkali-soluble polymer B are uniformly dispersed at a pitch of 2 to 3 μm in the "sea" which mainly contains the polymer insoluble in the developing liquid as shown in FIG. 5. Reflowing of the polymer film occurs in the annealing treatment, so that the film thickness is finally equal to about 1 μm just above the gate wires 6. This polymer film is not coated on the lead-out areas of the emitter lines.

Here, the whole substrate is immersed in the developing liquid for 10 minutes, and rinsed with pure water. As a result, the "island" portions 9 are perfectly removed and the gate wires 6 are exposed to the outside.

Subsequently, the gate lines 6 are etched and further the insulating layer 5 below the gate lines 6 is etched by using RIE. At this time, the insulating layer 5 covering the lead-out portions of the emitter lines at the edge portions of the substrate 1 is also removed at the same time, and the emitter lines are exposed, whereby the openings 9 are formed at the crossing portions between the emitter lines 2 and the gate lines 6.

Through the above process, the wiring line matrix comprising the emitter lines 2 and the gate lines 6 is formed on the substrate 1.

(Step 6)

Subsequently, as shown in FIG. 2, the resistance layer 3 and the fine particle emitter layer 4 are deposited and formed preferably by electrophoresis. This work is preferably carried out by grouping the emitter wires to some groups. For example, respective 100 emitter wires are grouped, and the above work is carried out every 100 lines.

A mixture of polyimide fine particles of about 100 nm in particle diameter (produced by PI Technology Research) and a fullerene-containing carbon fine particles of 10 nm in particle diameter at a weight ratio of 1000:1 may be used as the constituent element of the resistance layer 3. This mixture is dispersed in the dispersing solvent 22. The dispersing solvent used in this embodiment is "Isopar-L" obtained from Exxon Chemicals. The weight ratio of the dispersing solvent and the mixture of polyimide and carbon fine particles may be set to about 0.4 wt %. Zirconium naphthenate (produced by Dai-nippon Ink & Chemicals, Inc.) is mixed as metallic salt at a weight ratio of about 10% into the mixture of polyimide and carbon fine particles.

The spacing 23 between the counter electrode 21 and the substrate 1 is set to about 100 μm, and the dispersing liquid is filled between the substrate 1 and the counter electrode 21. A voltage is applied across the counter electrode 21 and the emitter lines 2 by using the voltage applying means 24 so that the counter electrode 21 is set to +100V and the emitter lines 2 are set to 0V. At this time, it is preferable to apply ultrasonic waves to the dispersing liquid.

Just after the voltage is applied, a current of several mA starts to flow, and the current amount decreases exponentially. In the prototype, the current is unobservable in about two minutes. At this point, substantially all of the resistance material dispersed in the dispersing solvent has already been deposited and formed on the substrate 1.

Subsequently, the fine particles adhering onto the gate lines are moved into the solvent by setting the gate lines 6 to +50V and setting the counter electrode 21 to 0V.

The above embodiment uses the two-step voltage application method of applying the voltage across the counter

electrode 21 and the emitter lines 2 at a first step and then applying the voltage across the gate electrodes 6 and the counter electrode 21 at a second step. However, the same effect can be achieved by applying the voltages to the counter electrode 21, the gate electrodes 6 and the emitter wires 2 at the same time so that the following condition is satisfied:

(the voltage of the counter electrode 21) > (the voltage of the gate electrodes 6) > (the voltage of the emitter lines 2)

Further, in the above embodiment, the fine particles are positively charged by zirconium naphthenate. However, if the fine particles are required to be negatively charged, the positive/negative signs of the applied voltages in the above process may be inverted to achieve the same effect.

Finally, the anneal treatment is conducted under a nitrogen atmosphere at a temperature of about 300° C., whereby the resistance film 3 and the emitter wires 2 can be firmly joined together.

(Step 7)

Subsequently, the fine particle emitter layer is likewise deposited and formed in the same manner.

As the fine particle emitter material are used fine particles of boron nitride of cubic system (c-BN) having a particle size of about 100 nm (SBN-B produced by Showa Denko 25 K.K.) in this embodiment. These fine particles are subjected to a dilute hydrofluoric acid treatment and then subjected to a hydrogen plasma treatment at about 450° C. in advance.

These fine particles thus treated are dispersed in the same solvent as used in the process of forming the resistance layer 30 3. However, the weight ratio is set to about 0.2%. Further, zirconium naphthenate of about 10 weight % with respect to the fine particles of boron nitride of cubic system is used.

As in the case of the formation step of the resistance layer 3, the film formation on the resistance layer 3 and the removal of the portion adhering to the gate layer 6 are carried out. Thereafter, the anneal treatment is conducted at about 350° C. under a hydrogen atmosphere to achieve excellent coupling between the fine particle emitter layer 4 and the resistance layer 3.

The electron emission element array substrate is achieved through the above process.

An ITO anode electrode layer 32 is formed on one side above a face plate 31, and a phosphor 33 is formed at the portion corresponding to pixels.

As shown in FIG. 4, an exhaust pipe 34 and a spacer 35 are attached, and the assembled panel is mounted in a vacuum chamber for measurement. The height of the spacer 35 is set to about 4 mm. The voltage of the anode may be set to about 3500V. The height of the spacer may range between about 100 μm and about 1 mm, and the corresponding voltage range is from about 100 to 2000V, for fluorescence with low energy electrons. The height of the spacer ranges may range from 1 to 10 mm, and the corresponding voltage range is between about 1000 to 30000V, for fluorescence with high energy electrons.

The measurement of the prototype is carried out with using neither the getter 36 nor the focusing electrode under the condition that the pressure is reduced to 10^{-6} torr in the 60 vacuum chamber by a turbo molecular pump.

0V is applied to each emitter wire 2 when the emitter wire 2 is not selected, and about -15V is applied to each emitter wire 2 when the emitter wire 2 is selected. Further, 0V is biased to each gate wire 6 when it is not selected and about +15V is biased to each gate wire 6 when it is selected. As a result, electron emission occurs and a luminescent point is confirmed on the phosphor.

A plurality of pixels is selected over the overall display area of the display, and the brightness on the display area is measured under the same condition, so that the dispersion is within 3%.

Next, the second embodiment of the electron emission element of the present invention will be described. The structure of the electron emission element used in this embodiment is the same as the first embodiment described above. In the following description, another method of manufacturing the array of the electron emission elements in the present invention will be described. (Steps 1 to 6)

These steps are the same as the method of the first embodiment, and thus the description thereof is omitted.

Through the above steps, the emitter lines 2, the insulating layer 3, the resistance layer 3 and the fine particle emitter layer 4 are formed on the substrate 1. (Step 7)

Subsequently, the fine particle emitter 4 is deposited and formed, SiC fine particles produced by Sumitomo Osaka Cement Co., Ltd. are used as the fine particle emitter material. The fine particles are subjected to the heat treatment for about 20 minutes at 1700°C. under a vacuum state of about 10^{-4} torr in advance, whereby the surfaces thereof are denatured. The average particle diameter before the treatment is equal to about 30 nm.

These fine particles are dispersed in the same solvent as used in the first embodiment (i.e., Isopar-L). The weight ratio thereof is set to about 0.2%. It is preferable to add zirconium naphthenate of about 10 weight % with respect to the weight of SiC particles.

Subsequently, through the procedure of the step 8 of the first embodiment, a film of the SiC fine particles is deposited on the resistance layer and the SiC fine particles adhering to the gate layer 6 are removed. Thereafter, the anneal treatment is conducted at about 400°C. under a nitrogen atmosphere to achieve excellent coupling between the fine particle emitter layer 4 and the resistance layer 3. (Step 8)

The ITO anode electrode layer 32 is formed on the face plate 31, and the phosphor 33 is coated on the portion corresponding to the pixels. The result thus obtained and the electron emission array produced through the steps 1 to 7 are combined with each other, and the exhaust pipe 34, the spacer 35, the getter 36 and the focusing electrode 37 are secured as shown in FIG. 3.

Thereafter, the exhaust is carried out by performing rough evacuation with a rotary pump and then pressure-reduction to 10^{-8} torr with a turbo molecular pump 10.

Finally, a getter pump is installed, and the overall panel thus fabricated is evacuated at about 200°C., and then the exhaust pipe is cut and sealed while it is pumped by the getter pump, thereby keeping the overall panel sealed. Thereafter, the temperature is reduced to the room temperature.

In the prototype, the voltage of the anode is set to about 5000V. 0V is applied to the emitter lines 2 and the gate lines 6 when they are not selected, and -5V and +5V are biased to the emitter lines 2 and the gate lines 6 respectively when they are selected, whereby the electron emission occurs and the luminescent point is confirmed on the phosphor. Further, a plurality of pixels are selected on the overall display area of the display, and the brightness is measured under the same condition, so that the dispersion is within 2%.

Next, a third embodiment of the display device according to the present invention will be described in detail.

FIG. 6 is a cross-sectional view schematically showing a part of this embodiment.

A plurality of stripe-shaped cathode electrode lines 6002 are formed on the surface of a lower substrate 6001 formed of glass. A thin film 6007 for a cold cathode is formed on these cathode electrode lines 6002. Further, a plurality of gate electrode lines 6004 are formed on the thin film 6007. The gate electrode lines 6004 are formed in a stripe shape so as to cross the cathode electrode lines 6002. Accordingly, the cathode electrode lines 6002 and the gate electrode lines 6004 are connected to control means 6015 to control the driving operation thereof.

A number of substantially circular holes 6005 are formed in the cross area between each cathode electrode line 6002 and each gate electrode line 6004 so as to pierce through the cathode electrode line 6002 and the insulating layer 6003 and reach the thin film 6007 for the cold cathode. The thin film 6007 exposed to the bottom portions of the holes 6005 constitutes the cold cathode. The thin film 6007 comprises an assembly of fine particles which are coated with interfacial active agent and formed of material having a small work function. The insulating layer 6003 is formed of silicon oxide containing fluorine.

The construction and display operation of the display device using the electron emission source of this embodiment is the same as the conventional display device shown in FIG. 12.

Next, the manufacturing process of the cold cathode of this embodiment will be described.

Ag paste is coated in a stripe shape on a glass plate 6001 of about 3 mm in thickness by the screen printing method and then baked to form cathode electrode lines 6002.

Further, there is prepared dilute detergent, aminopropyl triethoxysilane, into which c-BN fine particles of about 10 nm in particle diameter are mixed and stirred.

The detergent thus prepared is coated on the glass plate 6001, and then cured to volatilize the organic solvent. Further, the glass plate coated with the detergent is subjected to a heat treatment for about 2 hours at about 350°C. under the atmospheric air to fix Ag of the cathode electrode lines and c-BN to each other. The patterning process is carried out on the cold cathode thin film 6007 thus forming every pixel by a normal PEP (Photolithography) step. Although c-BN has various resistivity values depending on the degree of doping by sulfur, c-BN having resistivity in the range of from 102 to 1010 ohm is generally used in its application.

Subsequently, SiO_2 fine particles are dissolved in hydro-sulfuric acid solution of about 3 mol/l in concentration and saturated, and then a piece of 99.9% purity aluminum is added to the saturated solution thus obtained. Thereafter, the glass plate 6001 is immersed in the above solution for about 30 hours while keeping the temperature of the liquid to about 60°C., whereby the SiO_2 film containing fluorine is deposited with a thickness of 10 μm . The SiO_2 film containing fluorine thus formed serves as the insulating layer 6003. Since the detergent aminopropyl triethoxysilane is coated on the surfaces of the c-BN fine particles, the adhesion between the emitter layer 6007 and the insulating layer 6003 is sufficient.

Next, the stripe-shaped gate electrode lines 6004 are printed on the insulating layer and baked. At this time, the gate electrode lines 6004 are formed so that the cathode electrode lines 6002 and the gate electrode lines 6004 are arranged so as to cross each other on the emitter layer 6007 which is patterned every pixel. Thereafter, a resist mask is formed on the gate electrode lines 6004 and the insulating layer 6003 by the normal PEP step.

Thereafter, as in the case of the first embodiment, substantially circular holes having about a radius of 1 micrometer, which is equivalent to about 3000 holes per pixel, are formed. The etching of the insulating layer 6003 is performed with dilute hydrofluoric acid, and the emitter layer 6007 is exposed at the bottom portions of the holes 6005 thus formed. Coinciding the patterning of the insulating layer 6003, the hydrogen terminating treatment is conducted on the surfaces of the c-BN fine particles of the emitter layer 6007. At this time, the emitter fine particles have been broadly formed on the cathode wires 6002, so that the positioning work in the formation process of the holes is easily performed and thus the reliability is not lost by the positioning work.

The concentration of fluorine contained in the SiO_2 insulating layer 6003 thus obtained is equal to about 2.8%, and the dielectric constant at 1 MHz is equal to about 3.5. Since the dielectric constant of the SiO_2 film formed by the chemical vapor deposition method, the high-frequency sputtering method or the like is generally equal to about 4.3, the dielectric constant can be reduced to a remarkably small value in this embodiment as compared with the normal dielectric constant value. The area of one pixel is equal to about 1.6×10^{-7} , and the electrostatic capacitance per pixel is equal to 0.495 pF in the prototype.

Next, a fourth embodiment of the present invention will be described. The display device is formed in the same manner as the third embodiment.

A paste containing SiO_2 fine particles of about 100 nm in diameter are coated on a glass plate having cathode electrode lines and emitters formed thereon, and then dried.

Further, SiO_2 fine particles are dissolved in hydroxilic-fluoride acid solution of about 3 molars in concentration and saturated. Then, a piece of 99.9% purity aluminum is added to the solution thus saturated.

The substrate plate is immersed in the solution thus obtained for about 30 hours while keeping the temperature of the solution at about 60°C., and the SiO_2 film containing fluorine is deposited at a thickness of about 10 μm . Thereafter, the anneal treatment is conducted for about one hour at about 400°C. under atmospheric pressure air to form the insulating layer.

A fifth embodiment according to the present invention will be described.

The display device is formed in the same manner as the third embodiment except that polyimide containing boron is deposited by an electrodeposition method to form the insulating layer. That is, after the emitter layer is formed, polyimide containing fluorine is electrodeposited on the emitter layer to form the insulating layer. The concentration of fluorine contained in the SiO_2 insulating film for the cold cathode thus obtained is equal to about 2.5%, and the dielectric constant at 1 MHz is equal to about 3.0.

The following effects can be achieved by the electron emission element and the method of manufacturing the electron emission electrode in the present invention.

(1) By fabricating the resistance layer having a sufficient current limiting effect into the electron emission element, the maximum current amount flowing into each electron emission element can be effectively restricted. By the present invention, the resistance layer as described above can be applied to fine particle emitters. Therefore, even when the present invention is applied to a display, there can be prevented occurrence of unevenness of brightness in which extremely bright luminescent points are dispersed.

(2) The resistance layer and the fine particle emitter layer can be selectively formed on the emitter lines in the opening

portions of the gates. Accordingly, the short-circuiting between the emitter lines and the gate lines can be prevented. Further, the resistance layer and the fine particle emitter layer can be formed while keeping uniformity, which would be unachievable by the other methods such as coating, etc.

According to the display device of the present invention, since the SiO_2 insulating layer contains fluorine, the insulating layer having a dielectric constant of about 3.5 can be formed on the array substrate. That is, the insulation layer can be provided with a dielectric constant which is much lower than the dielectric constant of about 4.3 of the SiO_2 film formed by the normal thin film forming method which is represented by the chemical vapor deposition method or the high-frequency sputtering method, whereby the parasitic capacitance per pixel can be reduced and thus the thickness of the insulating layer can be also reduced. Accordingly, the distance between the gate and the emitter can be shortened, and the driving voltage can be reduced.

In addition, the insulating layer formed by using the liquid phase deposition method enables formation of an SiO_2 film which is more minute as compared with the SiO_2 film formed by the thin film forming method which is represented by the chemical vapor deposition method or the high-frequency sputtering method. That is, a film having a superior insulating property can be achieved. Accordingly, the leak current can be reduced and the breakdown voltage can be increased, so that the power consumption efficiency and the reliability can be enhanced. Further, the thickness of the insulating film can be reduced and thus the gate-emitter distance can be shortened, so that the driving voltage can be reduced.

As compared with the thin film forming method represented by the chemical vapor deposition method or the high-frequency sputtering method, the liquid phase deposition is superior in uniformity of film thickness and film quality. Accordingly, even when a large-scale display device of 40 inches or more is manufactured, a device having little unevenness in image quality can be provided.

Further, the film formation can be performed at a low temperature, so that thermal damage such as oxidation or the like which would be applied to the cathode electrode lines and the emitters can be remarkably reduced. Therefore, the present invention contributes to the enhancement of yield and reliability.

Still further, in the process of forming the SiO_2 film by the liquid phase deposition method, there is provided such selective growth that no SiO_2 film is formed on the portion which is provided with a resist mask in advance. Accordingly, SiO_2 is grown on an area other than the resist-mask provided area, whereby the insulation layer can be subjected to the patterning treatment without etching SiO_2 .

The material which suffers damage by the etching liquid for SiO_2 , for example, dilute hydrofluoric acid or ammonium fluoride may be used for the emitters.

Further, since a special apparatus such as a chemical vapor deposition apparatus or high-frequency sputtering apparatus is not needed, the batch treatment can be performed regardless of the size of the substrate. Accordingly, the present invention contributes to reduction in cost and enhancement in productivity.

Obviously, numerous modifications and variations of the present invention are possible in light of the above teachings. For example, film thicknesses, film pattern sizes, particle materials, chemicals, etc. were given in the above embodiments. These values are not intended to limit the

invention but are provided as examples to practice the invention. It is therefore to be understood that within the scope of the appended claims, the invention may be practiced otherwise than as specifically described herein.

What is claimed is:

1. A field emission element comprising:
a substrate;
a cathode layer formed on said substrate;
an insulating layer formed on said cathode layer;
a gate layer formed on said insulating layer;
a resistance layer formed on said cathode layer completely inside of an opening penetrating through said insulating layer and said gate layer, said resistance layer comprising particles and covering all of the cathode layer in the opening; and
an emitter film layer formed of emitter particles on said resistance layer, said emitter film layer having a standard non-conical film shape.
2. A field emission element according to claim 1, wherein said resistance layer comprises resistive particles, said resistive particles being formed from insulators.
3. A field emission element according to claim 2, wherein said resistance layer further comprises conductive particles.
4. A field emission element according to claim 1, wherein said resistance layer comprises conductive particles dispersed in an insulating material.
5. A field emission element according to claim 3, wherein a surface of at least one of said conductive particles, said resistive particles, and said emitter particles comprises a metallic salt.
6. A field emission element according to claim 3, wherein said conductive particles are selected from a group of graphite, amorphous carbon, fullerenes, nano-fiber of carbon and graphic nano-fiber.
7. A field emission element according to claim 2, wherein diameters of said resistive particles are substantially between 5 nanometers and 500 nanometers.
8. A field emission element according to claim 1, wherein said emitter particles are selected from a group of diamond, boron nitride of cubic system, boron nitride of hexagonal system, aluminum nitride, CeO₂, Ho₂O₃, HfC, ZrC and SiC.
9. A field emission element according to claim 1, wherein said emitter particles are selected from a group of diamond, boron nitride of cubic system, boron nitride of hexagonal system, aluminum nitride subjected to an activation treatment.
10. A field emission element according to claim 1, wherein said insulating layer comprises SiO₂ including fluorine.
11. A field emission display according to claim 1, wherein said insulating layer contains not less than 2% fluorine.
12. A field emission display according to claim 1, wherein said emitter particles are coated by detergent.
13. A field emission display according to claim 1, wherein plural of said openings are formed at random in an overlapping area of said cathode layer and said gate layer.

14. A field emission display according to claim 1, wherein diameters of said openings are substantially 1 micrometer.
15. A field emission display according to claim 1, wherein said resistive layer has a structure formed on said cathode in said open by electrophoresis after said cathode, insulating layer and gate layer are formed.
16. A field emission display according to claim 15, wherein said resistance layer has a structure formed by applying a cathode electrical potential to said cathode, and applying a gate electrical potential to said gate after impressing said cathode electrical potential.
17. A field emission display according to claim 15, wherein said resistance layer has a structure formed by simultaneously applying a cathode electrical potential to said cathode and a gate electrical potential to said gate, wherein said gate electrical potential is higher than said cathode electrical potential in the case that particles for electrophoresis are charged positive, and said gate electrical potential is lower than said cathode electrical potential in the case that particles for electrophoresis are charged negative.
18. A field emission display comprising:
a substrate;
a cathode layer formed on said substrate;
an insulating layer formed on said cathode layer;
a gate layer formed on said insulating layer;
a resistance layer formed on said cathode layer completely inside of an opening penetrating through said insulating layer and said gate layer, said resistance layer comprising particles and covering all of the cathode layer in the opening;
an emitter film layer formed of emitter particles on said resistive layer, said emitter film layer having a standard non-conical film shape;
- 35 an anode layer opposing said substrate; and
a fluorescent layer on said anode layer.
19. A field emission display according to claim 18, wherein said insulating layer is formed by SiO₂ containing fluorine.
20. A field emission display according to claim 18, wherein plural of said openings are formed at random in an overlapping area of said cathode layer and said gate layer.
21. A field emission display according to claim 20, wherein diameters of said openings are substantially 1 micrometer.
22. A field emission display according to claim 18, wherein said resistance layer comprises resistive particles.
23. A field emission display according to claim 18, wherein diameters of said resistive particles are substantially between 5 nanometers and 500 nanometers.
24. A field emissive element according to claim 4, wherein said conductive particles are selected from a group of graphite, amorphous carbon, fullerenes, nano-fiber of carbon and graphic nano-fiber.

* * * *